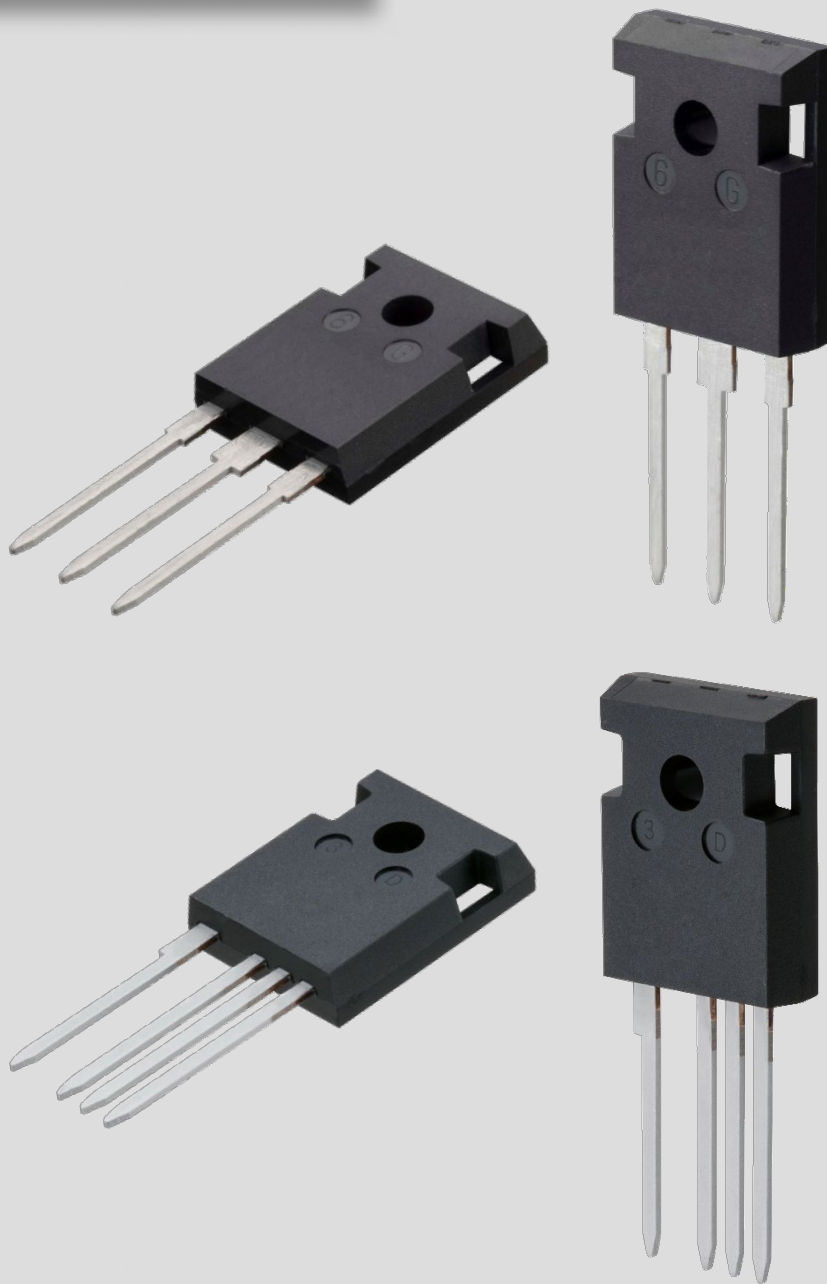




ディスクリートIGBT

Application Manual

注意

1. この資料の内容(製品の仕様、特性、データ、材料、構造など)は2024年9月現在のものです。この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。この資料に記載されている製品を使用する場合には、その製品の最新版の仕様書を入手して、データを確認してください。
2. 本資料に記載してある応用例は富士電機製品を使用した代表的な応用例を説明するものであり、本資料によって工業所有権、その他権利の実施に対する保証または実施権の許諾を行うものではありません。
3. 富士電機は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品は故障が発生したり、誤動作する場合があります。富士電機製半導体製品の故障または誤動作が、結果として人身事故、火災等による財産に対する損害や、社会的な損害を起こさないように冗長設計、延焼防止設計、誤動作防止設計などの安全確保をお客様の責任において行ってください。
4. 本資料に記載している製品は、普通の信頼度が要求される下記のような電子機器や電気機器に使用されることを意図して造られています。
 - ・コンピュータ・OA機器・通信機器(端末)・計測機器・工作機械
 - ・オーディオビジュアル機器・家庭用電気製品・パーソナル機器・産業用ロボットなど
5. 本仕様書に記載されている製品は、人命に関わるような状況下で使用される機器あるいはシステムに用いられる事を目的として設計・製造されたものではありません。以下に示す機器あるいはシステムへの適用に関し、富士電機は一切の責任を負いません。
 - ・幹線用通信機器・交通信号機・医療機器
 - ・ガス警報器および遮断機・防災／防犯装置・安全確保のための各種装置
6. 極めて高い信頼度を要求される下記のような機器および戦略物資に該当する機器には、本仕様書に記載の製品を使用しないでください。
 - ・車両機器(自動車、鉄道、船舶など)・宇宙機器・航空機搭載用機器
 - ・原子力制御機器・海底中継機器
7. 本資料の一部または全部の転載複製については、文書による弊社の承諾が必要です。
8. 本資料の内容にご不明の点がありましたら、製品を使用する前に富士電機(株)または、その販売店へ質問してください。本注意書きの指示に従わないために生じたいかなる損害も富士電機(株)とその販売店は責任を負うものではありません。

第4章 トラブル発生時の対処方法

1. トラブル発生時の対処方法	4-2
2. 故障判定方法	4-7
3. 代表的なトラブルと対処方法	4-9

本章ではディスクリートIGBTを取り扱う際のトラブルの対処方法について説明します。

1. トラブル発生時の対処方法

ディスクリートIGBTをインバータ回路などに適用した場合、配線ミス・実装上のミスなどの異常により素子の破壊を招くことがあります。また素子破壊などの異常が発生した場合、発生状況や原因を明確にした上で対策する必要があります。その手引きとして表4-1に素子破壊モードから素子外部の異常現象を推定するための要因解析表を示します。素子が破壊する場合、まずこの表から破壊要因の調査してください。表4-1を用いて原因が解析できない場合、図4-1の詳細な要因解析図を活用して破壊要因を調査してください。また、素子が破壊しているかの確認を行う故障判定方法を本章2項に、代表的なトラブルとその対処方法を本章3項に記載しましたのでこちらも参考にしてください。

表4-1 素子の破壊モードと原因の推定

素子外部の異常現象		原 因		素子破壊 モード	チェックポイント
短 絡	直列アーム短絡 (上下アーム短絡)	デッドタイム不足による破壊	デッドタイム設定ミス	過熱(短絡耐量) 破壊	素子の t_{off} とデッドタイムのマッチング
		dv/dt 誤動作を起こして短絡破壊	ゲート配線が長い		dv/dt 誤ONチェック
		ノイズなどが原因で短絡破壊	ゲート駆動回路誤動作 ロジック回路誤動作		回路誤動作チェック
	出力短絡	配線ミス、配線誤接触、負荷短絡			不具合発生状況チェック 素子耐量と保護回路のマッチング 配線状態チェック
	地 絡	配線ミス、配線誤接触			
過負荷(過電流)		過電流が流れ破壊	ロジック回路誤動作 過電流保護設定ミス	過 熱	ロジック回路チェック 過電流保護設定値の見直し
過電圧	直流電圧過大	C-E間に素子耐圧を超える過電圧が印加され破壊	入力電圧過大 過電圧保護	C-E間耐圧 オーバー	過電圧保護レベル見直し
	サージ電圧過大	ターンオフ時のサージ電圧がRBSOAを超えて破壊		RBSOA	ターンオフ動作軌跡とRBSOAのマッチング スナバ回路の見直し
		FWD逆回復時のサージ電圧が素子耐圧を超えて破壊			サージ電圧と素子耐量のマッチング スナバ回路の見直し
		ゲート信号がパルス割れなどで非常に短い時間間隔のターンオフ→ターンオン(数百nsオーダー)を起こし、素子耐圧を超える過大な逆回復サージ電圧が発生して破壊(以下、微小パルス逆回復現象)	ノイズによるロジックまたはゲート駆動回路誤動作	C-E間耐圧 オーバー	ロジックおよびゲート信号チェック
			主回路などからのゲート信号線への電磁誘導		大電流動作時のゲート信号／信号線の擦線／主回路へ信号線の距離
駆動電源電圧減		G-E間電圧 V_{GE} が設計値より低下してC-E間電圧 V_{CE} 間電圧が大きくなり、発熱(損失)が大きくなって破壊	DC - DCコンバータ誤動作 駆動電源確立迄の時定数が大きすぎる ゲート信号配線はずれ	過 熱	回路チェック
ゲート過電圧		静電気がG-E間に印加されゲートが破壊 ゲート配線が長すぎてG-E間に耐圧を超えるサージ電圧が発生し、破壊		G-E間耐圧 オーバー	作業状態チェック(静電気対策) ゲート電圧チェック
ゲートオープンでの駆動		受入試験などでゲートオープン状態でC-E間に電圧を印加(オン電圧／耐圧測定など)して破壊		過熱破壊	ゲート電圧チェック
過 熱	放熱能力不足	放熱能力不足で素子が異常過熱、最大接合部温度を超えて破壊	端子取付けネジのゆるみ サーマルグリスの塗布不足 冷却ファン停止	過 熱	放熱条件チェック
	発生損失増大	ロジック回路誤動作により、キャリア周波数の増加などが起こり、総合損失が上昇して破壊			ロジック回路チェック
	応力	応力 振動	ディスクリートIGBTの端子部が応力疲労を起こし断線する。	外部配線から端子に掛かる応力 実装した他の部品などが振動して端子に応力を与える	製品内の電気配線断線(オープン)
素子の適用条件と信頼性実力のマッチングが取れてない		素子の適用条件(環境、温度変化、実装時の組立条件、保管状態など)と製品の信頼性実力のマッチングが取れてなく、製品内部の配線、絶縁構造、外観などが破壊		破壊モードは場合によって異なる	本章図4-1に基づいてチェックしてください

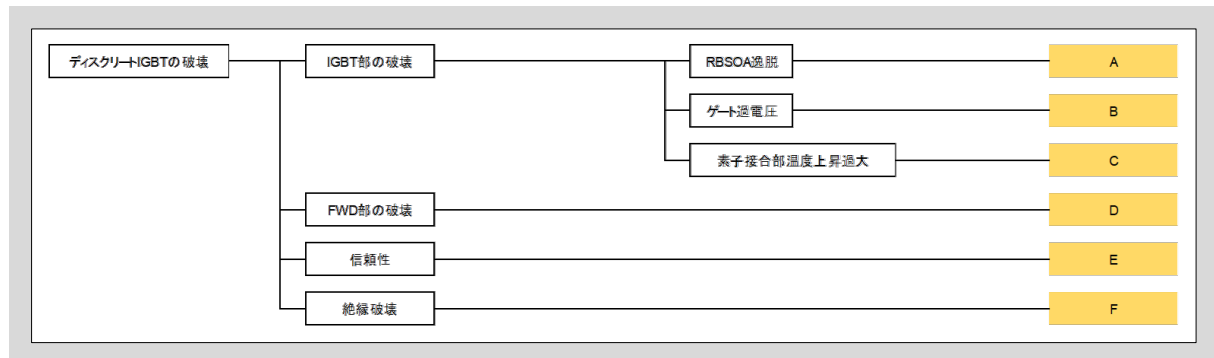


図4-1(a) ディスクリートIGBT故障解析図 (※A～D記号は下図へ連結しています)

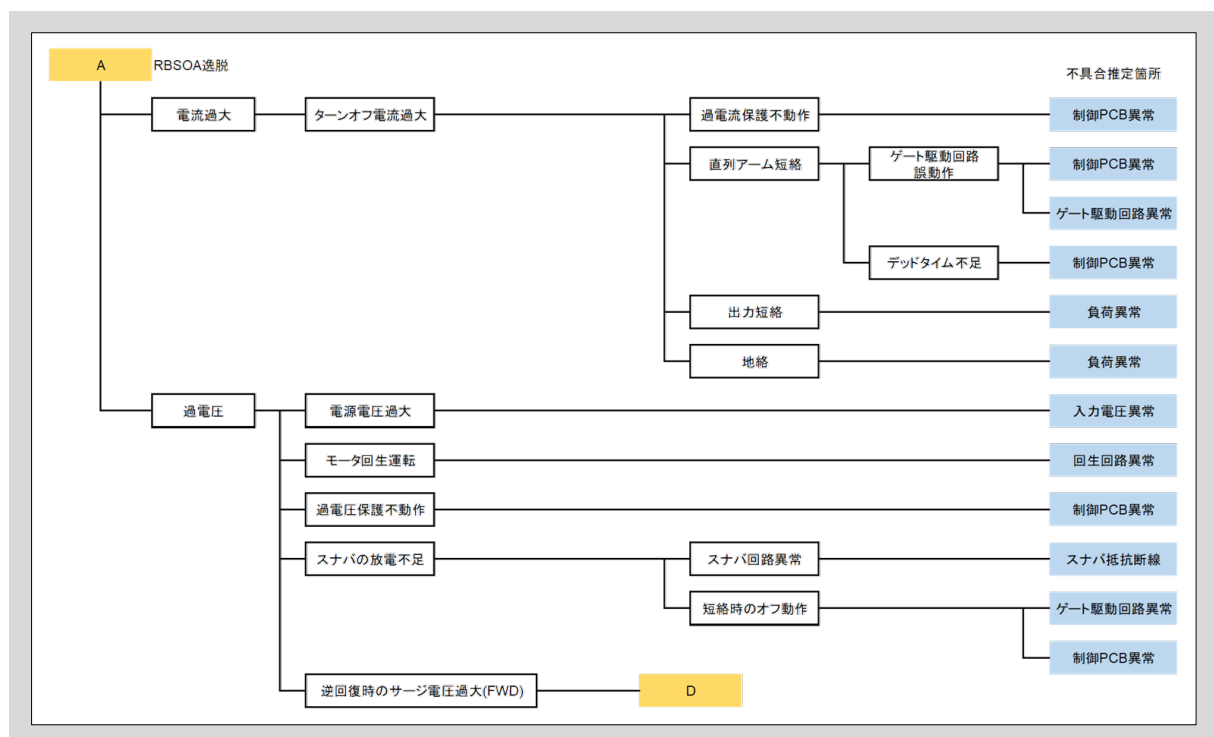


図4-1(b) モードA: RBSOA逸脱

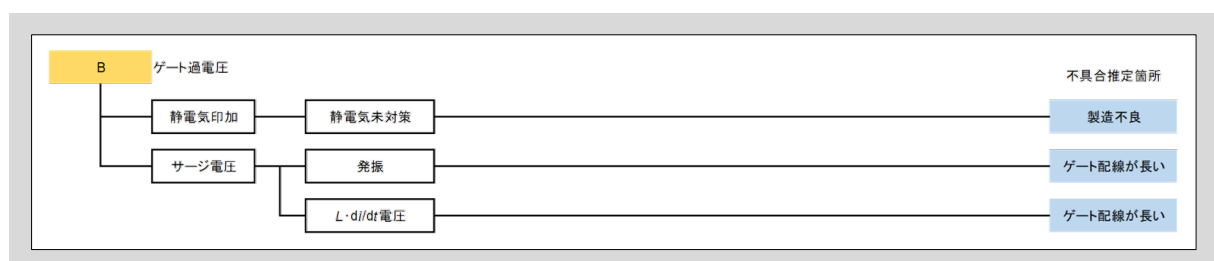


図4-1(c) モードB: ゲート過電圧

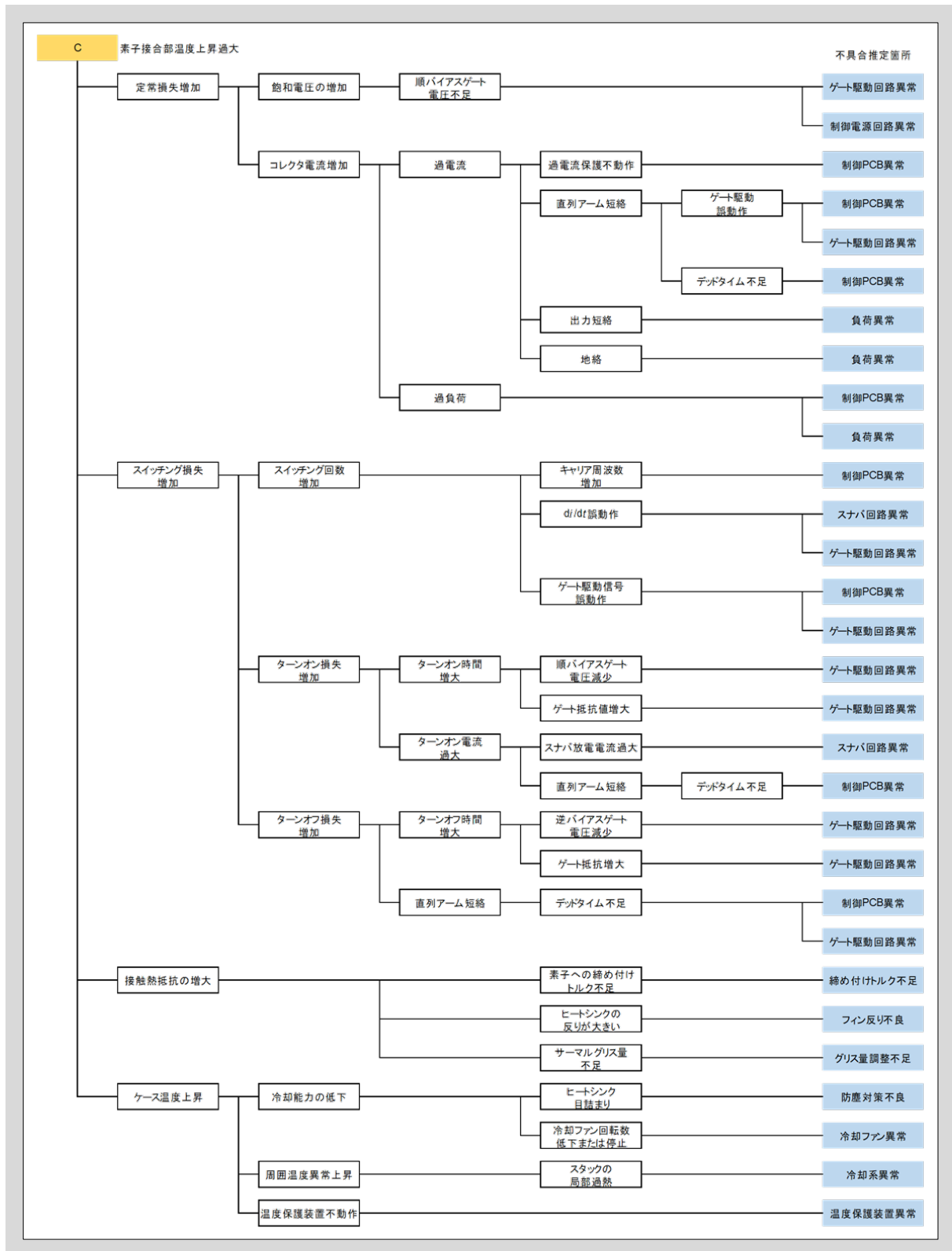


図4-1(d) モードC:素子接合部温度上昇過大

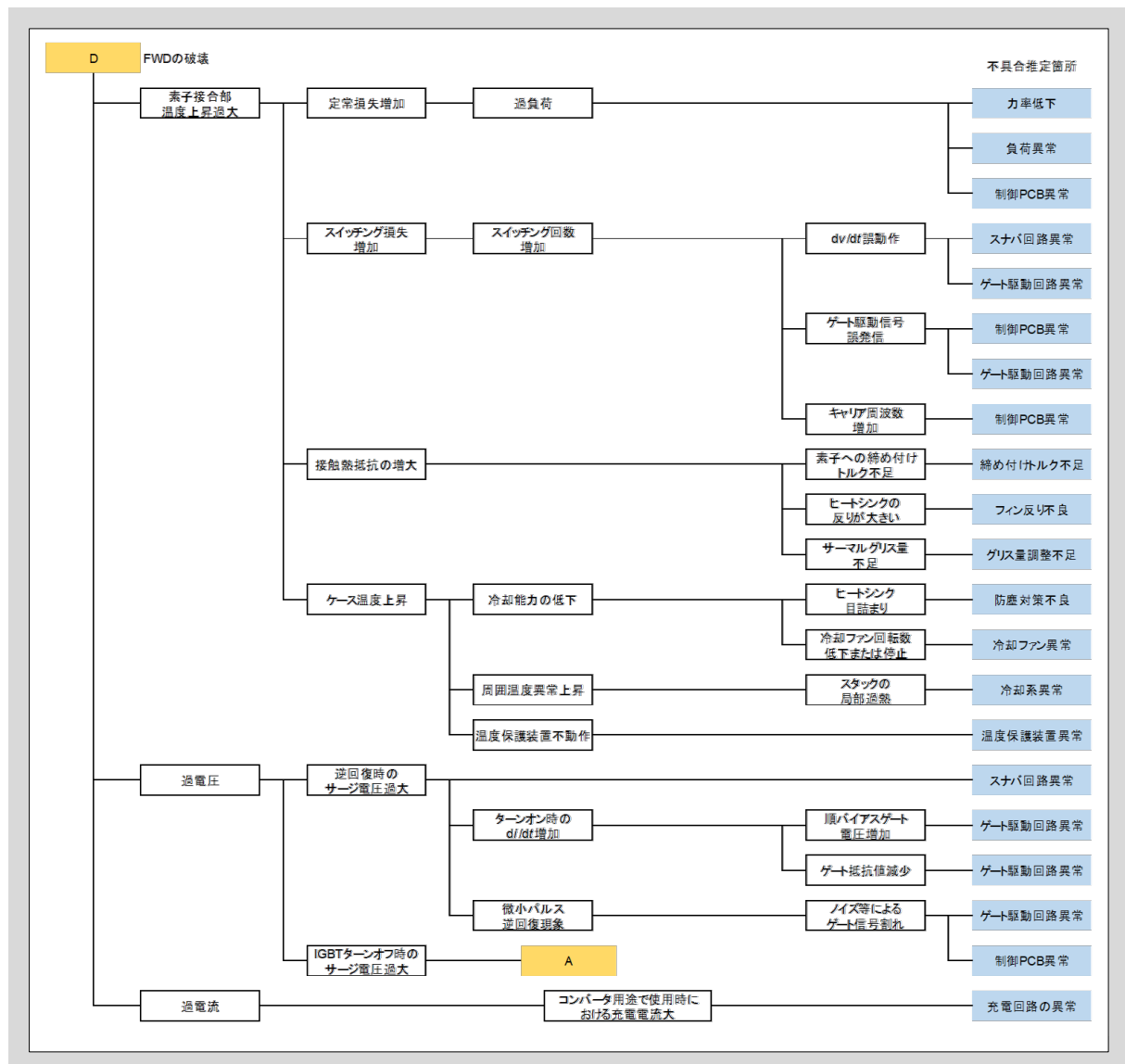


図4-1(e) モードD:FWDの破壊

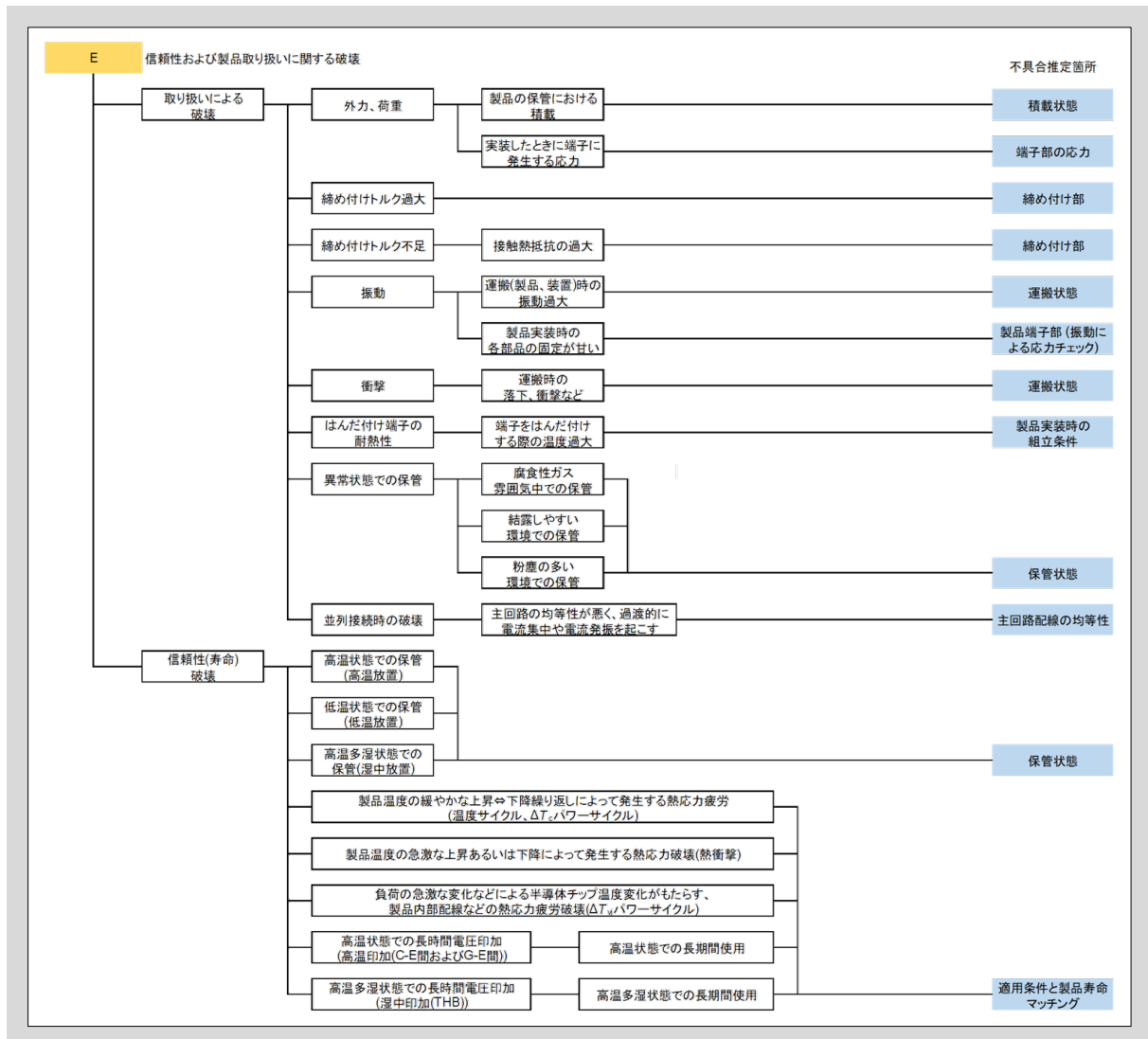


図4-1(f) モードE:信頼性および、製品取り扱いに関する破壊

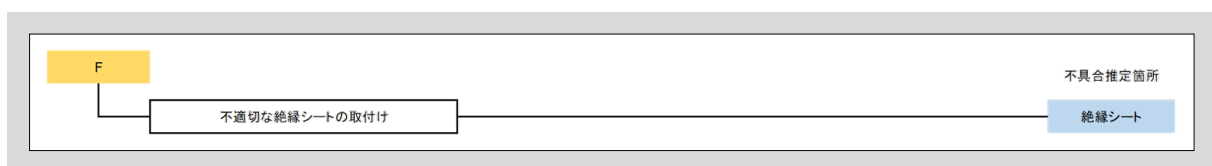


図4-1(g) モードF:絶縁破壊

2. 故障判定方法

ディスクリートIGBTの故障有無は、トランジスタ特性測定装置(トランジスタ・カーブトレーサ(以下CT))により、次の項目をチェックする事によって判定できます。

- G-E間漏れ電流
- C-E間漏れ電流 (G-E間を必ずショートさせてください)

CTの代わりにテスターなどの電圧、抵抗が測定できる装置を使用しても簡易的に故障判定ができます。

2.1 G-E間漏れ電流チェック

図4-2に示す様に、C-E間をショートし、G-E間の漏れ電流あるいは抵抗値を測定します(G-E間には±20Vを超える電圧は印加しないでください。テスターを使用する場合、内部バッテリー電圧が20V以下であることを確認してください)。

製品が正常であれば、仕様書記載の I_{GES} 最大値以下の漏れ電流になります(テスターを使用する場合、抵抗値は数十MΩ～無限大)。それ以外の状況では素子が破壊している可能性があります(一般的に素子が破壊しているとG-E間はショートの状態になります)。

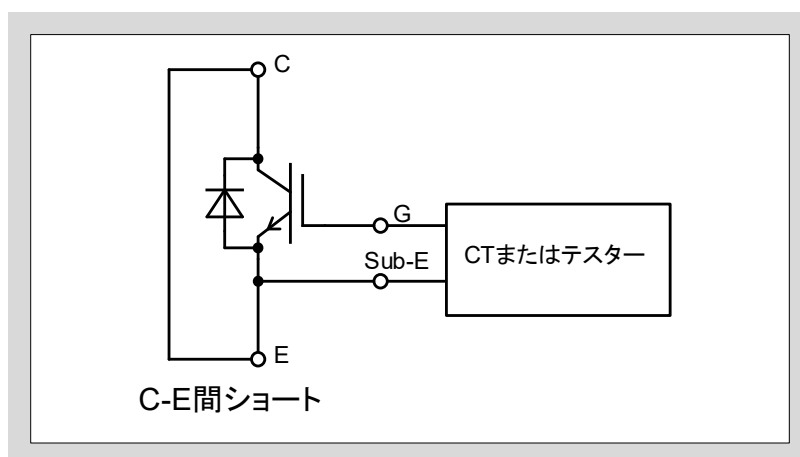


図4-2 G-E間 (ゲート)チェック

2.2 C-E間漏れ電流チェック

図4-3に示すように、G-E間をショートし、C-E間の漏れ電流または抵抗値を測定します。(コレクタを＋、エミッタを－に接続します。極性を逆に接続した場合、FWDが導通してC-E間ショートになります。) このとき、C-E間には仕様書記載の V_{CE} を超える電圧は絶対に印加しないでください。

製品が正常であれば、仕様書記載の I_{CES} 最大値以下の漏れ電流になります(テスターを使用する場合、抵抗値は数十MΩ～無限大)。それ以外では素子が破壊している可能性があります(一般的に素子が破壊しているとC-E間はショートの状態になります)。

※ 注意

C-G間の耐圧測定は絶対に実施しないでください。耐圧測定した場合、酸化膜に過剰な電圧が加わり絶縁破壊に至ります。

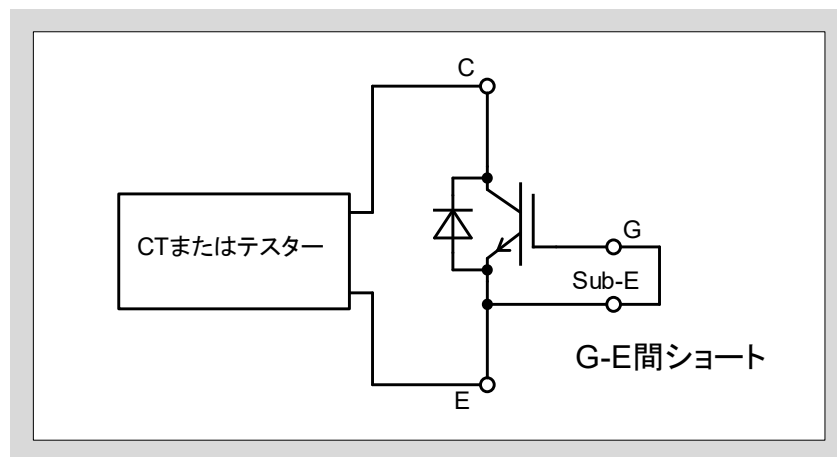


図4-3 C-E間チェック

3. 代表的なトラブルと対処方法

3.1 G-E間オープン状態での主回路電圧印加

G-E間オープン状態で主回路電圧印加すると、IGBTの帰還容量 C_{res} を介して電流が流れるためG-E間容量に電荷が充電されゲート電位が上昇します。これによりIGBTがオンして大きなコレクタ電流 I_C が流れ素子が破壊します。(第3章4項参照) G-E間はオープン状態にならないよう、10k Ω 程度の抵抗挿入などの対策をしてください。

製品の受入試験などの際にも、ロータリースイッチなどの機械スイッチで信号線の切り替えを行うと、切り替え時にG-E間が瞬時オープンになります。C-E間に電圧印加したまま、機械スイッチで信号線の切り替えを行うと、上記の現象で素子が破壊する事が有ります。また機械スイッチがチャタリングする場合も同様な期間が存在し素子破壊します。破壊を防ぐため、必ず主回路(C-E間)電圧を0Vまで放電してからゲート信号の切り替えを行ってください。

図4-4はオン電圧測定回路の例です。この回路で測定手順を説明します。まずゲート駆動回路(GDU: Gate Drive Unit)をオフ状態($V_{GE} \leq 0V$)にしてから SW_1 をオンしC-E間に電圧を印加します。次に、GDUよりG-E間に所定の順バイアス電圧を印加してIGBTを通電させ、オン電圧を測定します。最後にゲート回路をオフ状態にして SW_1 をオフにします。この様な手順を踏めば製品を破壊する事なく安全に製品の特性を測定する事が出来ます。

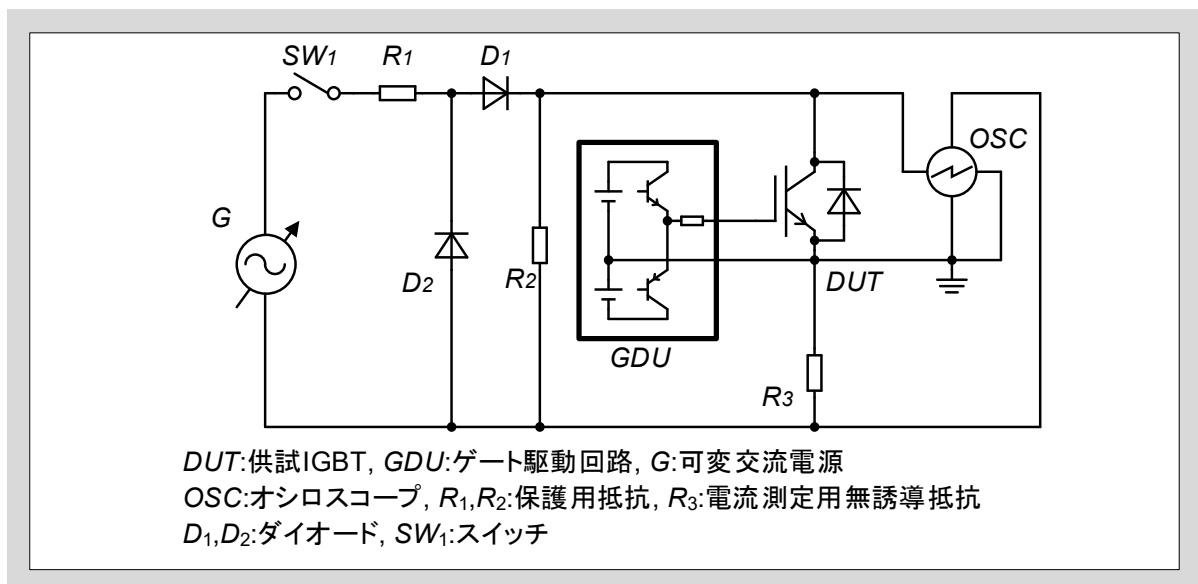


図4-4 オン電圧の測定回路

3.2 $-V_{GE}$ 不足によるIGBT誤点弧

三相インバータのような回路に適用する場合、オフ状態のIGBTが誤点弧すると上下アームIGBTの両方がオンして短絡電流が流れることがあります。短絡電流遮断時のサージ電圧や発生損失により製品が破壊する可能性がありますので、装置を設計する際、必ず上下アーム短絡が発生していないことを確認してください。

また、 dv/dt 発生による誤動作発生メカニズムの詳細を第7章1.4項に記載していますので参照してください。

IGBTオフ時誤動作による上下アーム短絡電流の有無を確認する方法例を図4-5に示します。

まずインバータの出力端子(U、V、W)をオープン(無負荷)にします。次にインバータを起動し各IGBTを駆動します。この時、図の様に電源ラインから流れる電流を検出すれば上下アーム短絡電流有無が確認できます。もし、誤動作が無ければ、素子の接合容量を充電する非常に微小なパルス電流(定格電流の5%程度)のみが測定されます。

オフIGBTが誤動作し短絡が発生すると、この電流が大きくなります。正確に測定するためには、逆バイアス($-V_{GE}$)の有無でこのパルス電流に差が無ければ誤点弧を起こしていないことになります。

上記方法で誤点弧が確認された場合の対策は、短絡電流が無くなる逆バイアス($-V_{GE}$)を持つゲート駆動回路にするか、G-E間に仕様書に記載の C_{ies} に対し2倍程度の容量(C_{GE})をゲート抵抗 R_G よりディスクリートIGBT側へ付加する事を推奨します。

但し、単純に C_{GE} を付加する方法は、スイッチング時間やスイッチング損失が大きくなる場合があります。それらを C_{GE} 付加前と同等とするための一例として R_G を C_{GE} 付加前に対して概ね半分へ変更することを推奨します。この状態において適用可否の検討を再度十分に行ってください。

なお、上下アームに短絡電流が流れる要因は上記の dv/dt 誤点弧以外にもデッドタイム不足があります。この現象が起きている時にも図4-5に示す試験で短絡電流が観測されますので、 $-V_{GE}$ を増加しても短絡電流が減少しない場合、デッドタイムを増加するなどの対策を施してください。デッドタイムに関しては第7章3項に詳しい説明がありますので参照してください。

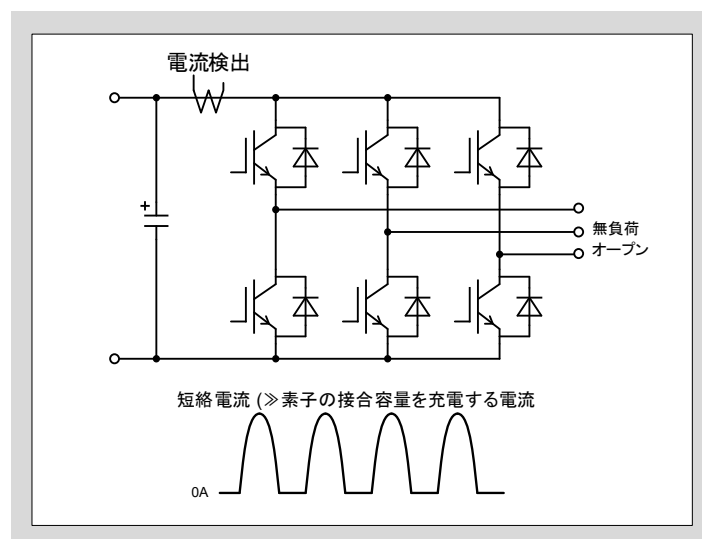


図4-5 短絡電流の測定回路

3.3 過渡オン状態からのダイオード逆回復 (微小パルス逆回復) 現象

ディスクリートIGBTにはFWDを内蔵している製品があります。このFWDの挙動に十分な注意を払うことは信頼性の高い装置を設計するためには非常に重要です。この項では特に微小パルス逆回復現象という製品破壊につながりやすい現象について説明します。

微小パルス逆回復現象はIGBT駆動時にノイズなどによってゲート信号割れが起き、非常に過大な逆回復サージ電圧が発生する現象です。図4-6に微小パルス逆回復による過大サージ電圧の発生タイミングチャートを示します。 V_{GE} のオン期間 T_{ON} に対して非常に短いオフパルス T_W が発生した場合、対向アーム側のFWDはオンしてから非常に短い時間で逆回復に入ることになります。本来の逆回復では十分なキャリアを蓄積してから逆回復に入るのに対して、微小パルス逆回復ではFWDに十分なキャリアの蓄積がない状態で逆回復することになります。これによりFWDの空乏層が急激なスピードで広がるため、急峻な di/dt 、 dv/dt が発生します。これが原因となってC-E(K-A)間に、非常に過大な逆回復サージ電圧が発生します。この現象によって製品の耐圧保証値を超えるサージ電圧が発生すると素子破壊に繋がる可能性があります。

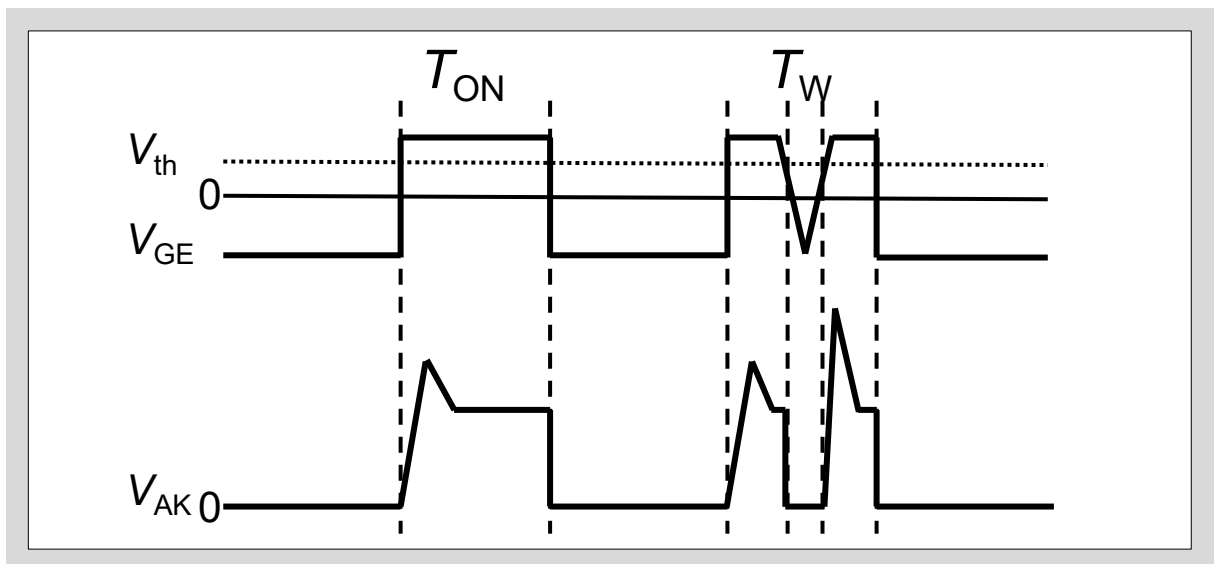


図4-6 微小パルス逆回復による過大サージ電圧の発生

装置設計を行う際には、最小 T_W におけるサージ電圧が素子耐圧以下になることを確認してください。もしサージ電圧が素子耐圧を超える時は以下に記載のサージ電圧対策を実施してください。

- R_G を大きくする
- 回路インダクタンスを低減する
- スナバ回路を強化する
- C_{GE} を付加する
- アクティブクランプ回路を付加する

3.4 EMCノイズ対策

電力変換装置は欧州のCEマーキングや国内のVCCI規格への対応が要求されることがあり、EMIノイズ(装置が運転時に発生する伝導性および放射性のノイズ)を規格値以下に抑制することが装置の設計において重要な課題となっています。

ディスクリートIGBTは特性改良による高速スイッチング化・低損失化が進んできているため、IGBTをスイッチングする際に発生する高い dv/dt 、 di/dt が放射性ノイズの原因となる場合が多くなってきています。放射性ノイズの主な要因は、IGBTがターンオン(対向アーム側のFWDが逆回復)する際に生じる高い dv/dt 、 di/dt がトリガとなって、半導体デバイスの接合容量などと配線上のインダクタンスとで生じる高周波のLC共振によるものと考えられます。

ディスクリートIGBTがスイッチングすることによって発生する放射性ノイズを低減させるためには、駆動条件の見直しによるスイッチング特性、特にターンオン特性をソフト(低速)化することが有効です。第7章を参照し、適切な駆動条件を検討してください。

ただし、スイッチング特性をソフト化して放射性ノイズを抑制すると、スイッチング損失は増加傾向となりますので、装置の運転条件やディスクリートIGBT冷却条件などとのバランスを考慮しながら駆動条件を設定することが重要です。

また放射性ノイズの一般的な対策例を表4-2に示します。放射性ノイズは装置の配線構造や材質・回路構成などによりその発生要因・ノイズレベルが異なるので、それぞれの対策例の有効性は個別に検証が必要です。

表4-2 放射性ノイズ対策例

対 策	内 容	備 考
駆動条件の見直し (dv/dt 、 di/dt の低減)	R_G (特にターンオン側)を大きくする。	スイッチング損失が大きくなる。 スイッチング時間が長くなる。
	G-E間に小容量のコンデンサを接続する。	スイッチング損失が大きくなる。 スイッチング時間が長くなる。
スナバコンデンサをディスクリートIGBTと最短で接続	スナバコンデンサとディスクリートIGBTの間の配線を最短にする。	スイッチング時のサージ電圧や dv/dt 抑制にも効果あり。
配線インダクタンスの低減	直流バスラインを平行導体化してインダクタンスを低減する。	同上
フィルタ	装置の入出力にノイズフィルタを挿入する。	各種市販品あり
配線のシールド	入出力ケーブルをシールドしてケーブル部分の放射性ノイズを低減する。	
装置ケースの金属化	装置筐体を金属化し、装置から放射されるノイズを抑制する。	