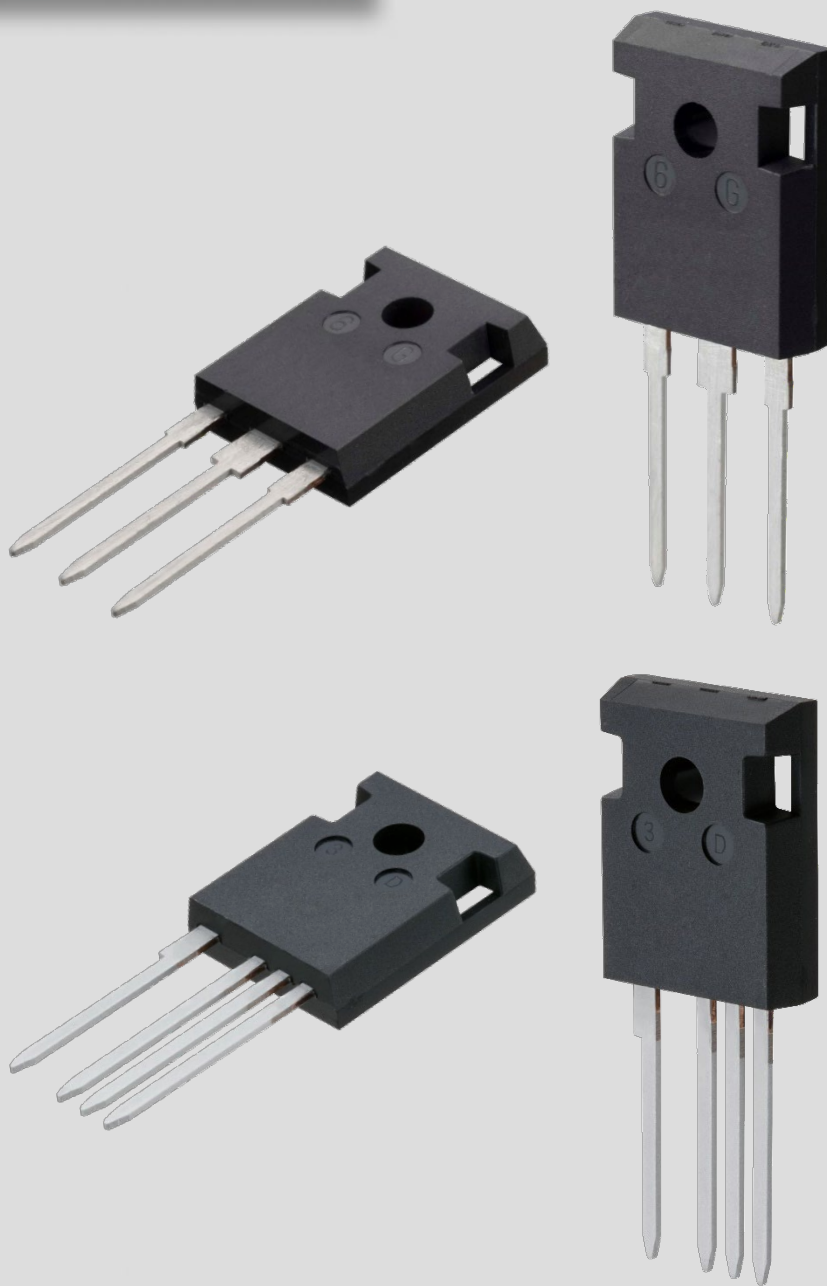




ディスクリートIGBT

Application Manual

注意

1. この資料の内容(製品の仕様、特性、データ、材料、構造など)は2024年9月現在のものです。この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。この資料に記載されている製品を使用する場合には、その製品の最新版の仕様書を入手して、データを確認してください。
2. 本資料に記載してある応用例は富士電機製品を使用した代表的な応用例を説明するものであり、本資料によって工業所有権、その他権利の実施に対する保証または実施権の許諾を行うものではありません。
3. 富士電機は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品は故障が発生したり、誤動作する場合があります。富士電機製半導体製品の故障または誤動作が、結果として人身事故、火災等による財産に対する損害や、社会的な損害を起こさないように冗長設計、延焼防止設計、誤動作防止設計などの安全確保をお客様の責任において行ってください。
4. 本資料に記載している製品は、普通の信頼度が要求される下記のような電子機器や電気機器に使用されることを意図して造られています。
 - ・コンピュータ・OA機器・通信機器(端末)・計測機器・工作機械
 - ・オーディオビジュアル機器・家庭用電気製品・パーソナル機器・産業用ロボットなど
5. 本仕様書に記載されている製品は、人命に関わるような状況下で使用される機器あるいはシステムに用いられる事を目的として設計・製造されたものではありません。以下に示す機器あるいはシステムへの適用に関し、富士電機は一切の責任を負いません。
 - ・幹線用通信機器・交通信号機・医療機器
 - ・ガス警報器および遮断機・防災／防犯装置・安全確保のための各種装置
6. 極めて高い信頼度を要求される下記のような機器および戦略物資に該当する機器には、本仕様書に記載の製品を使用しないでください。
 - ・車両機器(自動車、鉄道、船舶など)・宇宙機器・航空機搭載用機器
 - ・原子力制御機器・海底中継機器
7. 本資料の一部または全部の転載複製については、文書による弊社の承諾が必要です。
8. 本資料の内容にご不明の点がありましたら、製品を使用する前に富士電機(株)または、その販売店へ質問してください。本注意書きの指示に従わないために生じたいかなる損害も富士電機(株)とその販売店は責任を負うものではありません。

第7章 ゲート駆動回路設計方法

1. ゲート駆動条件と主要特性の関係	7-2
2. ゲート駆動電流について	7-6
3. デッドタイムの設定	7-7
4. ゲート駆動回路設計の具体例	7-9
5. ゲート駆動回路設計、実装上の注意事項	7-10

本章では、ディスクリートIGBTのゲート駆動回路設計手法について説明します。

1. ゲート駆動条件と主要特性の関係

表7-1にIGBTのゲート駆動条件と主要特性の一般的な関係を示します。IGBTの主要特性はG-E間電圧 V_{GE} 、ゲート抵抗 R_G により変化するので装置の設計目標にあわせた設定が必要です。

表7-1 IGBTのゲート駆動条件と主要特性

主要特性	$+V_{GE}$ 増	$-V_{GE}$ 増	$R_{G(ON)}$ 増	$R_{G(OFF)}$ 増
$V_{CE(sat)}$	↓	—	—	—
t_{on} E_{on}	↓	—	↑	—
t_{off} E_{off}	—	↓	—	↑
ターンオン FWDサージ電圧	↑	—	↓	—
ターンオフ IGBTサージ電圧	—	↑	—	↓ ^{*1}
dv/dt誤点弧	↑	↓	↓	↓
飽和電流値	↑	—	—	—
短絡耐量 ^{*2}	↓	—	—	—
放射ノイズ	↑	—	↓	↓

*1 シリーズによってサージ電圧のゲート抵抗依存性は異なります。

*2 XSシリーズでは短絡耐量を保証しておりません。

1.1 ゲート順バイアス電圧 : $+V_{GE}$ (オン期間)

ゲート順バイアス電圧 $+V_{GE}$ の推奨値は+15Vです。以下に $+V_{GE}$ 設計時の留意事項を示します。

- $+V_{GE}$ はG-E間最大定格電圧20V以下で設計してください。
- 電源電圧の変動は±10%以内を推奨します。
- オン期間中のC-E間飽和電圧($V_{CE(sat)}$)は $+V_{GE}$ によって変化し、 $+V_{GE}$ が高い程低くなります。
- ターンオンスイッチング時の時間や損失は $+V_{GE}$ が高い程小さくなります。
- ターンオン時(FWD逆回復時)の対向アームのサージ電圧は $+V_{GE}$ が高い程発生しやすくなります。
- IGBTがオフ期間中でもFWDの逆回復時のdv/dtにより誤動作し、パルス状の短絡電流が流れて過剰な発熱や最悪の場合破壊を招く事があります。この現象はdv/dt誤点弧と呼ばれ、 $+V_{GE}$ が高い程発生しやすくなります。
- $+V_{GE}$ が高い程、飽和電流が大きくなります。

1.2 ゲート逆バイアス電圧 : $-V_{GE}$ (オフ期間)

dv/dt 誤点弧防止方法として $-V_{GE}$ を印加する方法が挙げられます。以下に $-V_{GE}$ 設定時の留意事項を示します。

- $-V_{GE}$ はG-E間最大定格電圧-20V以内で設計してください。
- 電源電圧の変動は $\pm 10\%$ 以内を推奨します。
- IGBTのターンオフ特性は $-V_{GE}$ に依存し、特にコレクタ電流 I_C がオフし始める部分の特性は $-V_{GE}$ に強く依存します。従って、ターンオフスイッチング時の時間や損失は $-V_{GE}$ が大きい程小さくなります。

1.3 ゲート抵抗 : R_G

R_G は回路構成や使用環境によって適切に変更する必要があります。以下に、 R_G 設計時の留意事項を示します。

- スwitchング特性はターンオン、ターンオフ共に R_G の大きさに依存し、 R_G が大きいほどスイッチング時間やスイッチング損失は大きくなります。これに対し、一般的には R_G が大きいほどスイッチング時のサージ電圧は小さくなると言われていますが、デバイスの構造により R_G が大きくなるとサージ電圧が増加する場合があります。サージ電圧の R_G 依存性の詳細は当社ウェブサイトに掲載されている技術資料を確認してください。
- dv/dt 誤点弧は R_G が大きい方が発生しにくくなります。
- 各種スイッチング特性は回路構成上の寄生インダクタンスなどにより大きく変動します。特にターンオフ時に発生するサージ電圧、FWDの逆回復時に発生するサージ電圧は大きく影響しますので、回路の寄生インダクタンスを可能な限り小さくした状態で、 R_G を設計してください。

以上の各種特性のゲート抵抗依存性に注意しながら最適なゲート駆動条件を選定してください。

1.4 FWD逆回復時のdv/dtによる誤点弧の回避方法

本節では、FWDの逆回復時のdv/dtによるIGBTのゲート誤点弧の原理と、誤点弧を回避する方法について説明します。

図7-1はdv/dt発生時に生じる誤点弧の原理について示した図です。本図ではIGBT1がオフ状態からオン状態に移移するものとし、IGBT2はゲートを逆バイアスにしているものとします。IGBT1がオフ状態からオン状態になるとその対向アームのFWD2が逆回復します。また同時にオフ状態にあるIGBT2(FWD2)のコレクタ電位が上昇するため、IGBT1のターンオンに応じたdv/dtが発生します。IGBT1、IGBT2にはそれぞれ帰還容量 C_{res} があるため、 C_{res} を介して電流 $I = C_{res} \times dv/dt$ が流れます。この電流が R_G に流れることにより、 V_{GE} が上昇します。 V_{GE} がIGBT2の逆バイアス電圧としきい値電圧 $V_{GE(th)}$ の和の電圧を越えるとIGBT2が誤点弧(オン)することになり、IGBT1とIGBT2は短絡状態となります。

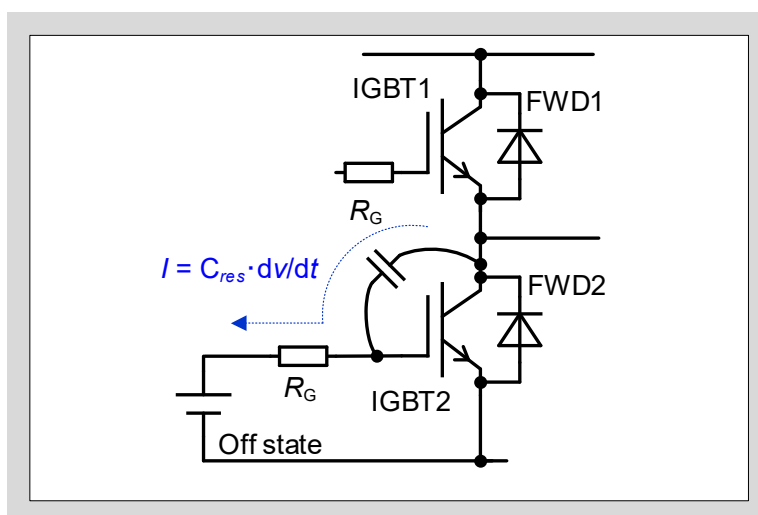


図7-1 dv/dt発生時の誤点弧の原理

前述のように、IGBTは誤点弧を起こす場合があります。誤点弧を起こす場合、回避するための方法を図7-2に示します。IGBTの誤点弧回避方法として(a)G-E間に容量成分 C_{GE} を付加し V_{GE} の過渡的な上昇を抑制する方法、(b)- V_{GE} を増やして V_{GE} の過渡的な上昇ピーク値を下げる方法、(c) R_G を大きくして dv/dt を下げる方法があります。これらの対策による効果は適用ゲート回路によって異なりますので、十分に確認して適用してください。またスイッチング損失への影響もありますので、併せて確認してください。

(a)G-E間に C_{GE} を付加する方法は、誤点弧電流を C_{GE} にバイパスさせることによってゲート抵抗に流れる電流を低減させる方法です。しかし、 C_{GE} を付加することでゲート駆動時に、この容量成分を充電する必要があるため、スイッチングスピードが遅くなり、スイッチング損失が大きくなります。一方で C_{GE} を付加した場合でもゲート抵抗を下げることでスイッチングスピードを適切にコントロールすることができます。すなわち適当な C_{GE} と R_G の組み合わせにすることで、スイッチング損失を増大させることなく誤点弧を回避することが可能です。なお C_{GE} 、 R_G の目安としては仕様書に記載の C_{ies} に対し2倍程度をG-E端子間直近へ付加するとともに、 R_G は C_{GE} 付加前に対し概ね半分に変更することを推奨します。ただし、 R_G 、 C_{GE} の選定は適用側の評価により、十分に確認してください。

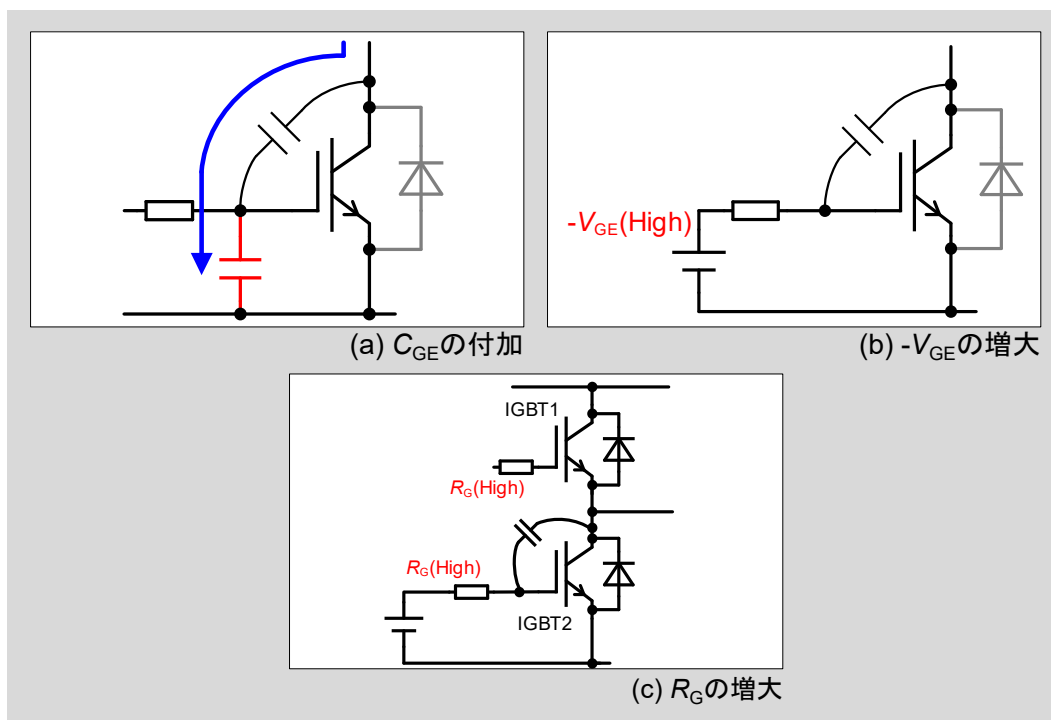


図7-2 dv/dt 誤点弧回避方法

2. ゲート駆動電流について

IGBTはMOSゲート構造を持っており、スイッチング時にこれを充放電するゲート電流(駆動電流)を流す必要があります。図7-3にゲート充電電荷量特性を示します。ゲート充電電荷量特性はIGBTを駆動するのに必要な電荷量を表しており、平均駆動電流や駆動電力の計算に使用できます。図7-4にゲート駆動回路の回路図と電圧電流波形を示します。駆動回路の原理は順バイアス電源と逆バイアス電源をスイッチS1・S2にて交互に切り換えるもので、切り換え時にゲートを充放電する電流が駆動電流であり、図7-4中の電流波形で表される面積(斜線部分)が図7-3中の充放電電荷量と等しくなります。

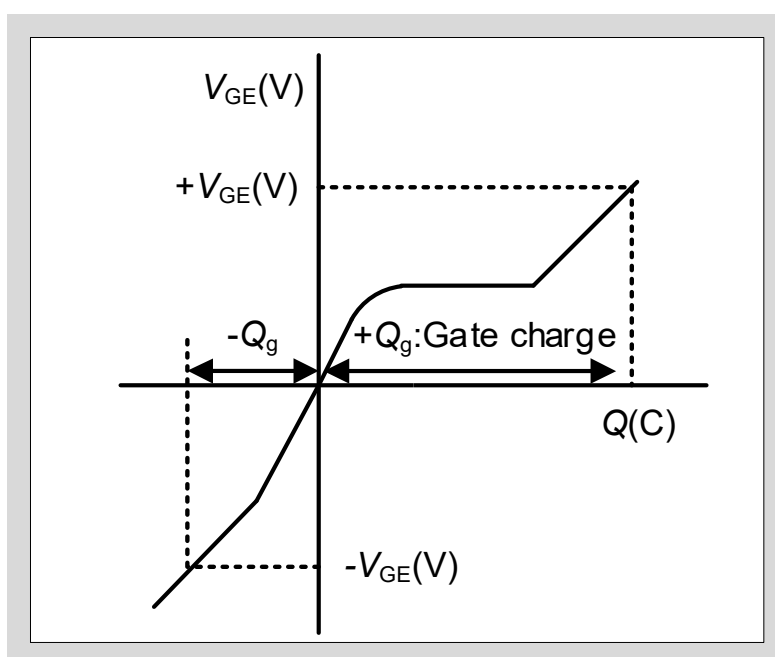


図7-3 ゲート充電電荷量特性(ダイナミック入力特性)の概略波形

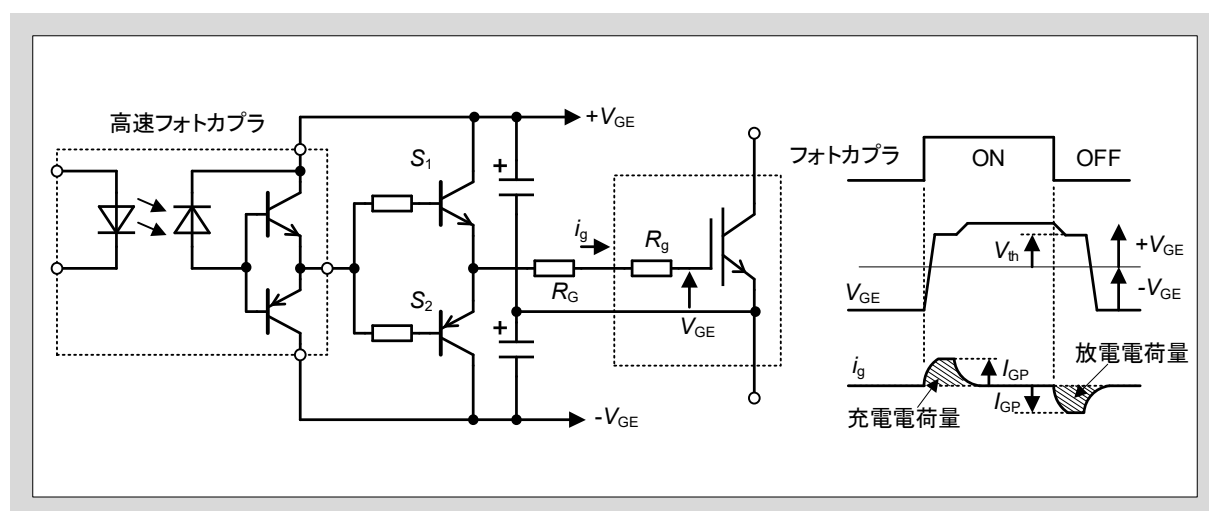


図7-4 駆動回路原理図およびゲート電圧電流波形

駆動電流の尖頭値 I_{GP} は次の近似式で求められます。

$$I_{GP} = \frac{|+V_{GE}| + |-V_{GE}|}{R_G}$$

$+V_{GE}$: 順バイアス電源電圧

$-V_{GE}$: 逆バイアス電源電圧

R_G : 駆動回路のゲート抵抗

一方駆動電流の平均値 I_G は図7-3に示したゲート電荷量特性を用いて次式にて計算できます。

$$+I_G = |-I_G| = f_c \cdot (|+Q_g| + |-Q_g|)$$

f_c : キャリア周波数

$+Q_g$: 0Vから $+V_{GE}$ までの電荷量

$-Q_g$: $-V_{GE}$ から0Vまでの電荷量

したがって、駆動回路の出力段にはこれらの近似式で計算した I_{GP} 、および $\pm I_G$ を流せるように設計する必要があります。また、駆動回路の発生損失をすべて R_G で全て消費するとすれば、IGBTを駆動するために必要な駆動電力 P_d は次式で表されます。

$$P_{d(on)} = f_c \cdot \left[\frac{1}{2} (|+Q_g| + |-Q_g|) \cdot (|+V_{GE}| + |-V_{GE}|) \right]$$

$$P_{d(off)} = P_{d(on)}$$

$$P_d = P_{d(off)} + P_{d(on)}$$

$$= f_c \cdot (|+Q_g| + |-Q_g|) \cdot (|+V_{GE}| + |-V_{GE}|)$$

したがって、 R_G にはこの近似式で計算した発生損失を許容できるものを選定する必要があります。

以上に述べたような駆動電流、駆動電力を供給できるように駆動回路を設計してください。

3. デッドタイムの設定

インバータ回路などでは、上下アームの短絡防止のため、オン・オフの切り換えタイミングにデッドタイムを設定する必要があります。図7-5に示すようにデッドタイム中は上下アームとも「オフ」の状態となります。

デッドタイムは、基本的にIGBTのスイッチング時間($t_{d(off)} + t_f$)のmax.値より長く設定する必要があります。例えば R_G を大きくすると、スイッチング時間も長くなるのでデッドタイムも長くする必要があります。さらに他の駆動条件や温度特性なども考慮する必要があります。デッドタイムが短い場合、上下アーム短絡が発生して、短絡電流による発熱で素子破壊に至る可能性がありますので注意が必要です。

デッドタイムの設定が良いかどうかを判定する1つの方法として、無負荷時の直流電源ラインの電流を確認することが挙げられます。

図7-6に示す3相インバータの場合、インバータの出力(U、V、W)をオープン状態にして通常の入力信号を与えDCラインの電流を測定します。デッドタイムが十分であっても微小なパルス状電流(素子の出力容量を抜けてくるdv/dt電流: 通常は定格電流の5%程度)が流れますが、デッドタイムが不足していればこれより大きな短絡電流が流れます。この場合、短絡電流が無くなるまでデッドタイムを長くしてください。高温ほどターンオフ時間が長くなることから、この試験は高温状態で実施を推奨します。また、逆バイアス電圧- V_{GE} が不足しても、短絡電流が増加します(第4章3.3項参照)。デッドタイムを増加しても短絡電流が減少しないときには- V_{GE} を増加してください。

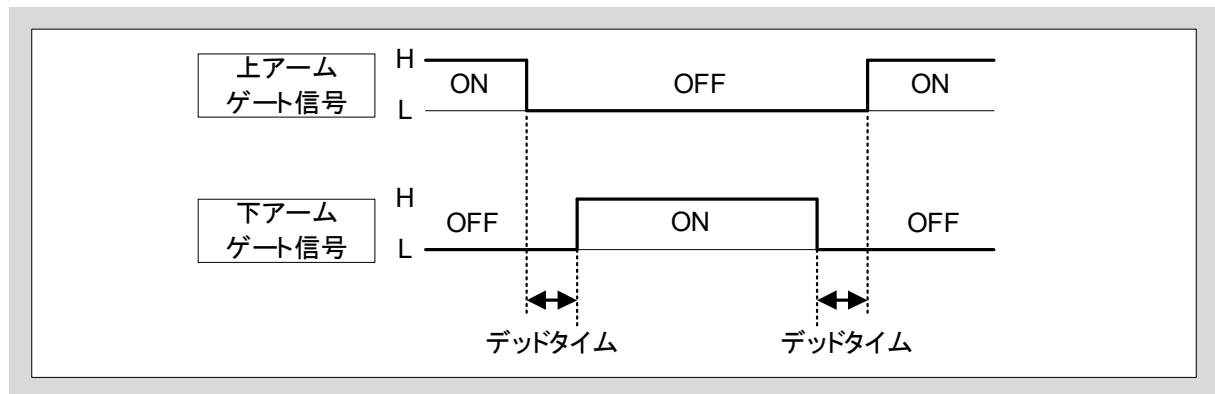


図7-5 デッドタイム タイミングチャート

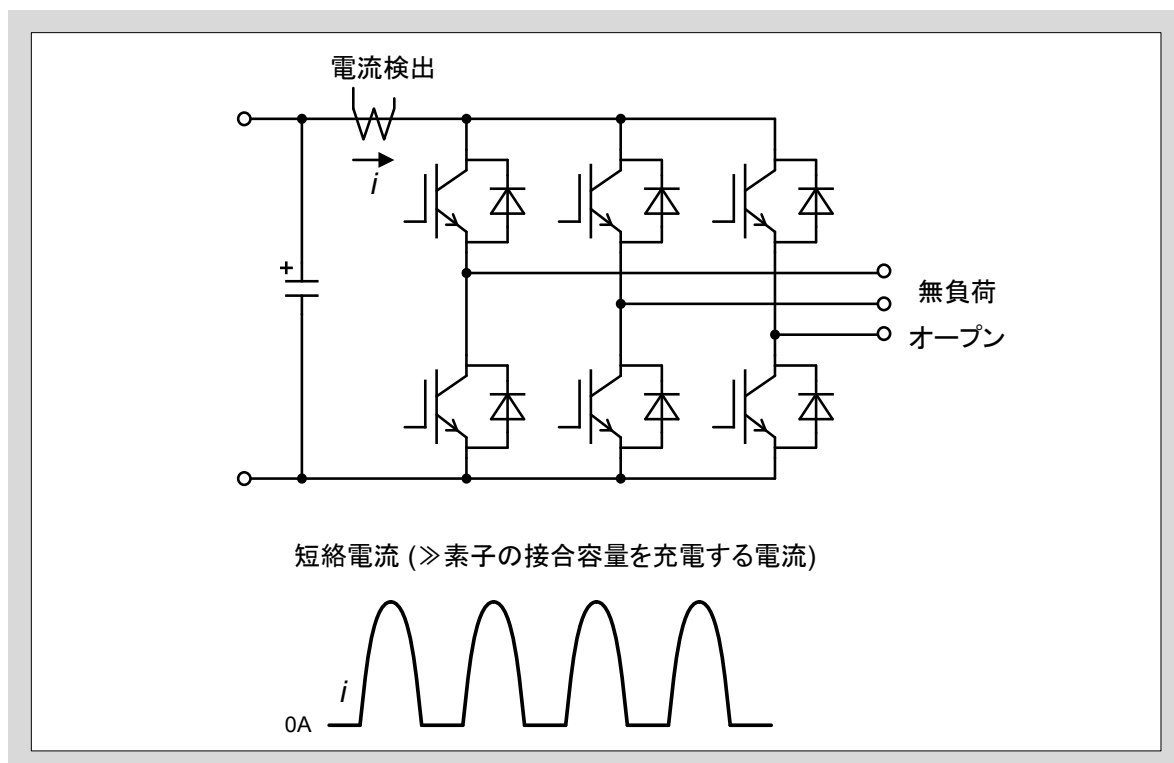


図7-6 デッドタイム不足による短絡電流の検出方法

4. ゲート駆動回路設計の具体例

IGBTの用途に応じ、主回路と制御信号回路間を電氣的に絶縁する必要があります。このような用途に用いられる高速フォトカプラを使用した駆動回路の例を図7-7に示します。フォトカプラを使用することにより入力信号と素子を電氣的に絶縁します。また、フォトカプラは出力パルス幅に対する制約がないので、PWM制御のようにパルス幅が広範囲に変化する用途に適しており、現在では最も広く使用されています。

また、ゲート抵抗を二つ設けてターンオンとターンオフの特性を別々に設定することもできます。

このほか、信号絶縁にパルストランスを用いるゲート駆動方法があります。この方法は信号とゲート駆動電力の両方を信号側から同時に供給できるため回路の簡略化が可能です。しかし、オンデューティ比が最大50%、逆バイアスを設定できない、といった制約があります。

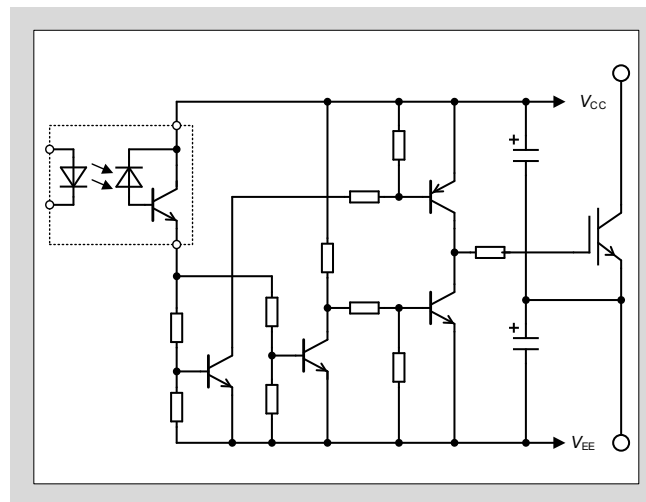


図7-7 高速フォトカプラを用いた駆動回路例

5. ゲート駆動回路設計、実装上の注意事項

5.1 フォトカプラのノイズ耐量について

IGBTは高速スイッチング素子であるため、ゲート駆動回路に使用するフォトカプラはノイズ耐量の大きいものを選定する必要があります。また、誤動作を避けるためフォトカプラの一次側と二次側の配線を交差させないようにしてください。このほか、IGBTの高速スイッチング性能を活かすには信号伝達遅れ時間の短いフォトカプラを使用することを推奨します。

5.2 ゲート駆動回路とIGBT間の配線について

ゲート駆動回路とIGBTの間の配線が長い場合、ゲート信号の振動や誘導ノイズによってIGBTが誤動作する可能性があります。この対策として以下の方法があります。

- ゲート駆動配線を極力短くする。
- R_G を大きくする。ただしスイッチング時間、スイッチング損失に注意する。
- ゲート配線とIGBTの主回路配線は出来る限り遠ざけ、重なる場合は互いに直交する(相互誘導を受けない)ようにレイアウトする。

*1 R_{GE} について

ゲート駆動回路の不具合あるいはゲート駆動回路が完全に動作していない状態(ゲートがオープン状態)*2にて主回路に電圧を印加するとIGBTが破壊することがあります。この破壊を防ぐため、G-E間に10k Ω 程度の抵抗 R_{GE} を接続することを推奨します(図7-8参照)。

*2電源投入について

電源投入にはまずゲート駆動回路電源を投入して完全に動作させた後、主回路電源を投入してください。

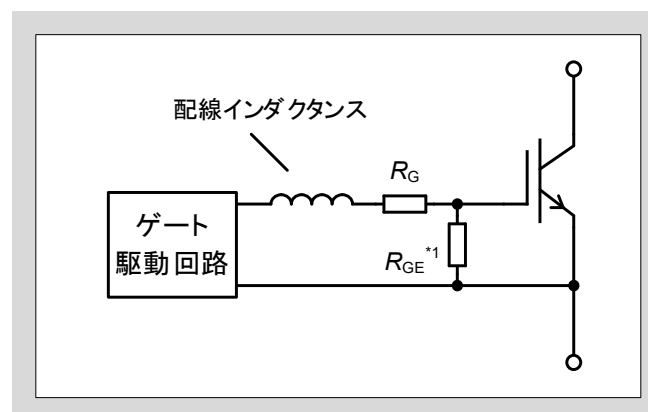


図7-8 ゲート駆動回路の実装上の注意

5.3 ゲート過電圧保護について

IGBTは他のMOS型素子と同様に十分に静電対策を実施した環境下で取り扱う必要があります。またG-E間最大定格電圧は $\pm 20\text{V}$ です。これ以上の電圧が印加される可能性がある場合には、図7-9に示すようにG-E間にツェナーダイオードやTVSダイオードを接続するなどの保護対策が必要となります。

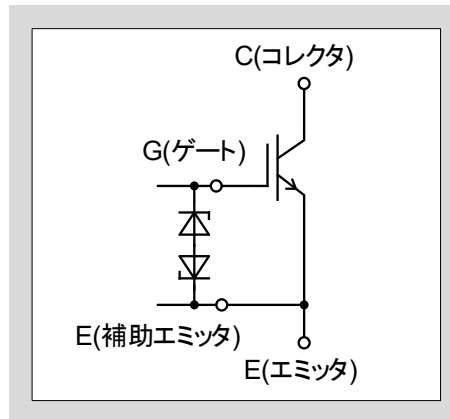


図7-9 G-E間過電圧保護回路例