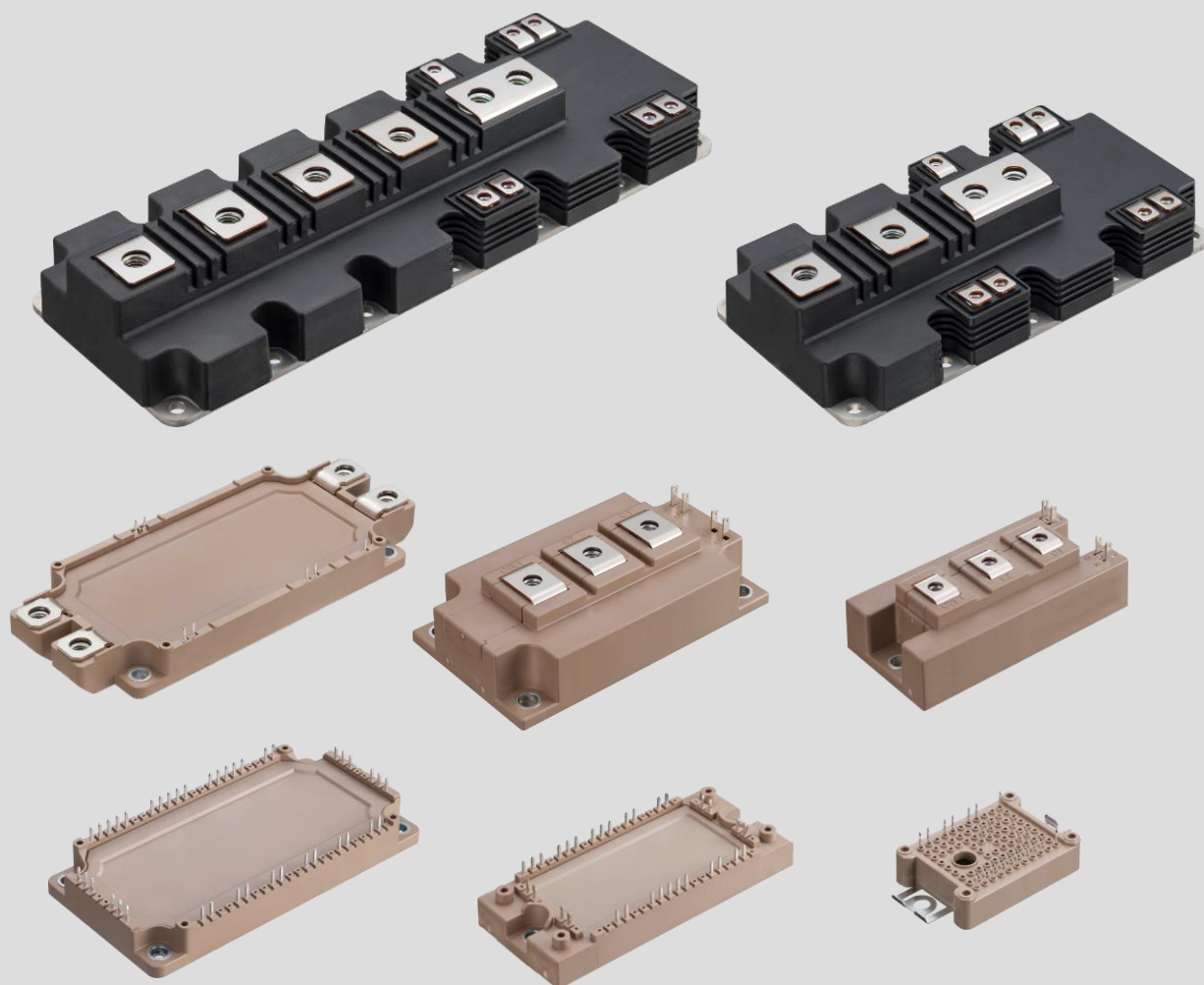




富士 IGBT モジュール 第5章 保護回路設計方法

Application Manual

 注意

本資料の内容(製品の仕様、特性、データ、材料、構造など)は2025年1月現在のものです。
この内容は製品の仕様変更のため、または他の理由により事前の予告なく変更されることがあります。
このマニュアルに記載されている製品を使用される場合には、その製品の最新版の仕様書を入手して、
データを確認して下さい。

富士電機は絶えず製品の品質と信頼性の向上に努めています。しかし、半導体製品はまれに故障、誤作動が発生する場合があります。富士電機製半導体製品の故障または誤動作が、結果として人身事故・火災などによる財産に対する損害や社会的な損害を起こさないように冗長設計・延焼防止設計・誤動作防止設計など安全確保のための手段を講じて下さい。

本資料の記載内容は工業所有権、その他権利の実施に対する保障または実施権の許諾を行なうものではありません。

本資料に記載された製品は、人命にかかわるような状況下で使用される機器あるいはシステムに用いられることを目的として設計・製造されたものではありません。本資料の製品を車両機器、船舶、航空宇宙、医療機器、原子力制御、海底中継機器あるいはシステムなど、特殊用途への使用に対して弊社は一切の責任を負いません。

本資料には製品を保証する項目が記載されていますが、製品が顧客装置に組み込まれた際の特性及び品質に対して保証するものではありません。製品を使用される際は、製品が使用されるアプリケーションにて評価いただいた上で、適用側の責任において適用可否を判断して下さい。

富士電機は、適用可否に対する責任を負いません。

第5章 保護回路設計方法

1. 短絡(過電流)保護	5-2
2. 過電圧保護	5-8

本章では、IGBTモジュールの保護回路設計方法について説明します。

1. 短絡(過電流)保護

1.1 短絡耐量について

装置が何らかの異常により短絡状態になるとIGBTのコレクタ電流 I_C が増加し、所定の値を超えるとC-E間電圧 V_{CE} が急増します。この特性により、短絡時の I_C を一定の値以下に抑制しますが、IGBTに高電圧・大電流が印加された状態になり、この状態が続くと破壊に至ります。IGBTが非破壊で耐え得るこの時間を短絡耐量として規定しており、ゲート駆動回路は短絡検出後から保護遮断するまでの遅延時間をこれより短くなるように設計する必要があります。

アーム短絡と出力短絡について、短絡耐量の考え方を以下に説明します。

(1) アーム短絡

図5-1にアーム短絡模擬試験回路図と波形例を示します。アーム短絡では、短絡開始と共に I_C は急激に上昇し、飽和後に若干低下します。短絡(飽和)電流値 I_{SC} はG-E間電圧 V_{GE} と素子出力特性及び接合温度 T_{vj} で決まり、電源電圧 V_{DC} 、ゲート抵抗 R_G 、パルス幅PWには殆ど依存しません。短絡耐量は通電時間で表し V_{GE} 、 T_{vj} 、 V_{DC} 条件を指定した上で規定します。短絡発生時には、規定の短絡耐量内で遮断するようにゲート駆動回路を設計して下さい。

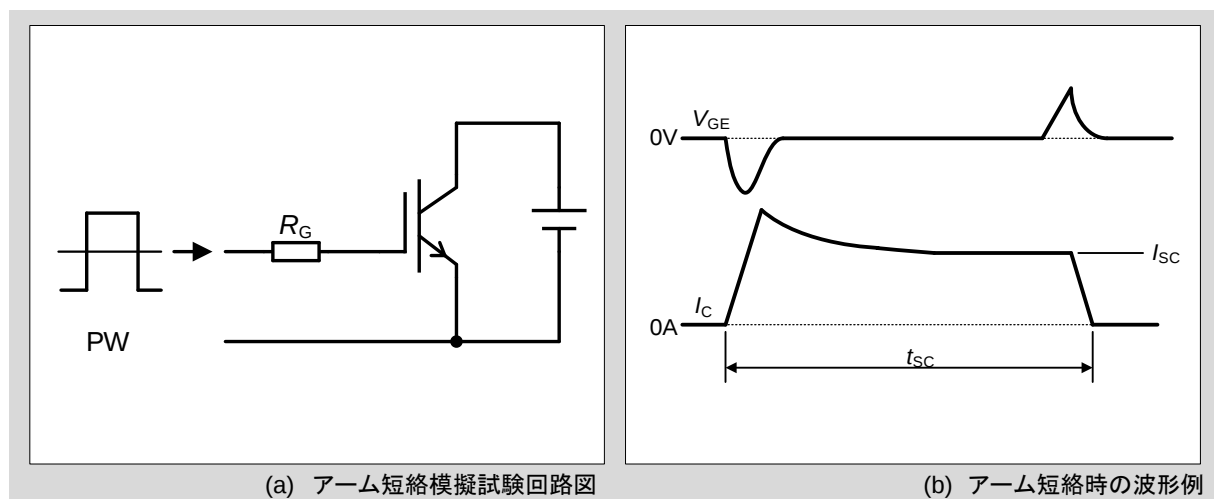


図5-1 アーム短絡模擬試験回路及び波形

(2) 出力短絡

図5-2に出力短絡模擬試験回路と波形を示します。出力短絡では短絡線がインダクタンス分を持っているので、短絡開始時の電流波形はアーム短絡の場合と異なります。この場合電流上昇率 di/dt は、

$$d_i/d_t = V_{DC}/L \text{ (A/sec)}$$

で表され、短絡開始時からの時間を t (sec)とすれば、

$$I_C = d_i/d_t \cdot t \text{ (A)}$$

で計算できます。 I_C 到達値はインダクタンス分や駆動回路(V_{GE} 過渡上昇)などに依存しますが、ピーク値に達し、飽和した後は V_{CE} が上昇しアーム短絡時と同じになります。

出力短絡時の短絡耐量は図5-2(b)波形例に示す(PW)で表されます。電流上昇中、 V_{DC} はインダクタンス L にかかり、IGBTはC-E間飽和電圧 $V_{CE(sat)}$ 程度の電圧のため、IGBTの負荷はアーム短絡と比べてきわめて低いので、この期間は短絡耐量の時間に含めず考えることができます。

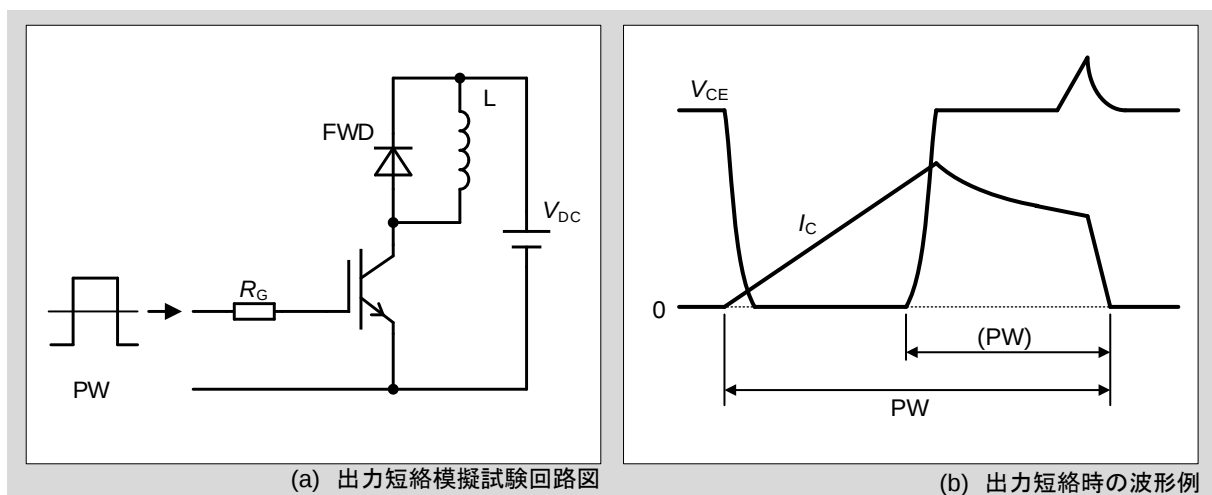


図5-2 出力短絡模擬試験回路及び波形

短絡耐量は V_{CE} や V_{GE} 、 T_{vj} などの条件に依存します。一般的に短絡耐量は電源電圧 V_{DC} が高い程、また T_{vj} が高い程短くなります。

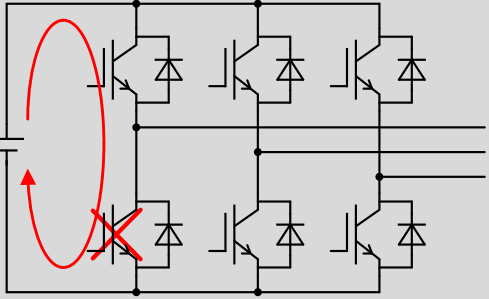
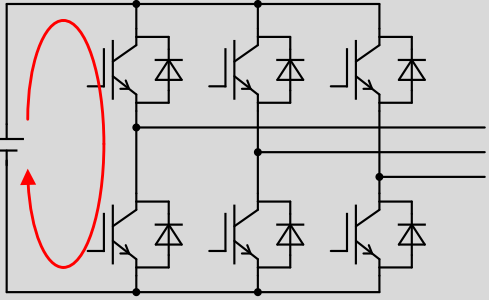
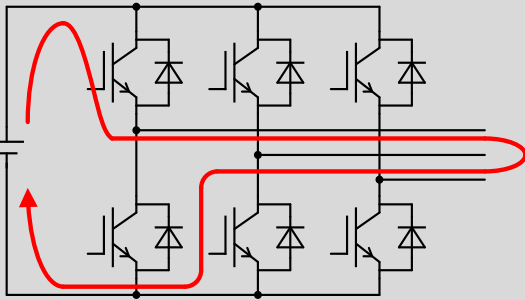
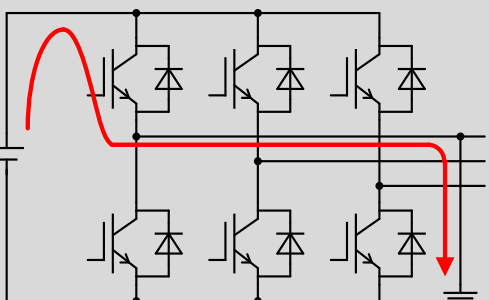
また短絡時、 V_{GE} は短絡動作影響により上昇することがありますので注意して下さい。

なお、各シリーズの短絡耐量はアプリケーションマニュアルもしくは技術資料を参照して下さい。

1.2 短絡モードと発生原因

インバータ装置における短絡モードと発生原因について表5-1に示します。

表5-1 短絡モードと発生原因

短絡経路	原因
アーム短絡 	IGBTまたはダイオードの破壊
直列アーム短絡 	制御回路、駆動回路の故障、またはノイズによる誤動作
出力短絡 	配線作業などの人為的なミス及び負荷の絶縁の破壊
地絡 	配線作業などの人為的なミス及び負荷の絶縁の破壊

1.3 短絡検出方法

(1) 過電流検出器による検出

前述したようにIGBTは短時間での保護が必要となるので、過電流検出からターンオフ完了までの各回路の動作遅れ時間が最小になるように設計して下さい。

なお、IGBTのターンオフ時間は極めて早いので通常のゲート駆動信号で短絡時の過電流を遮断すると V_{CE} のはね上がりが大きくなり、IGBTが過電圧で破壊(RBSOA破壊)する可能性があります。過電流を遮断する際は、IGBTのターンオフをゆるやかにさせること(ソフトターンオフ)を推奨します。

図5-3に過電流検出器の挿入方法を、表5-2にそれぞれの方法の特徴と検出可能な内容を示します。どのような保護が必要か検討し、適切な方法を選択して下さい。

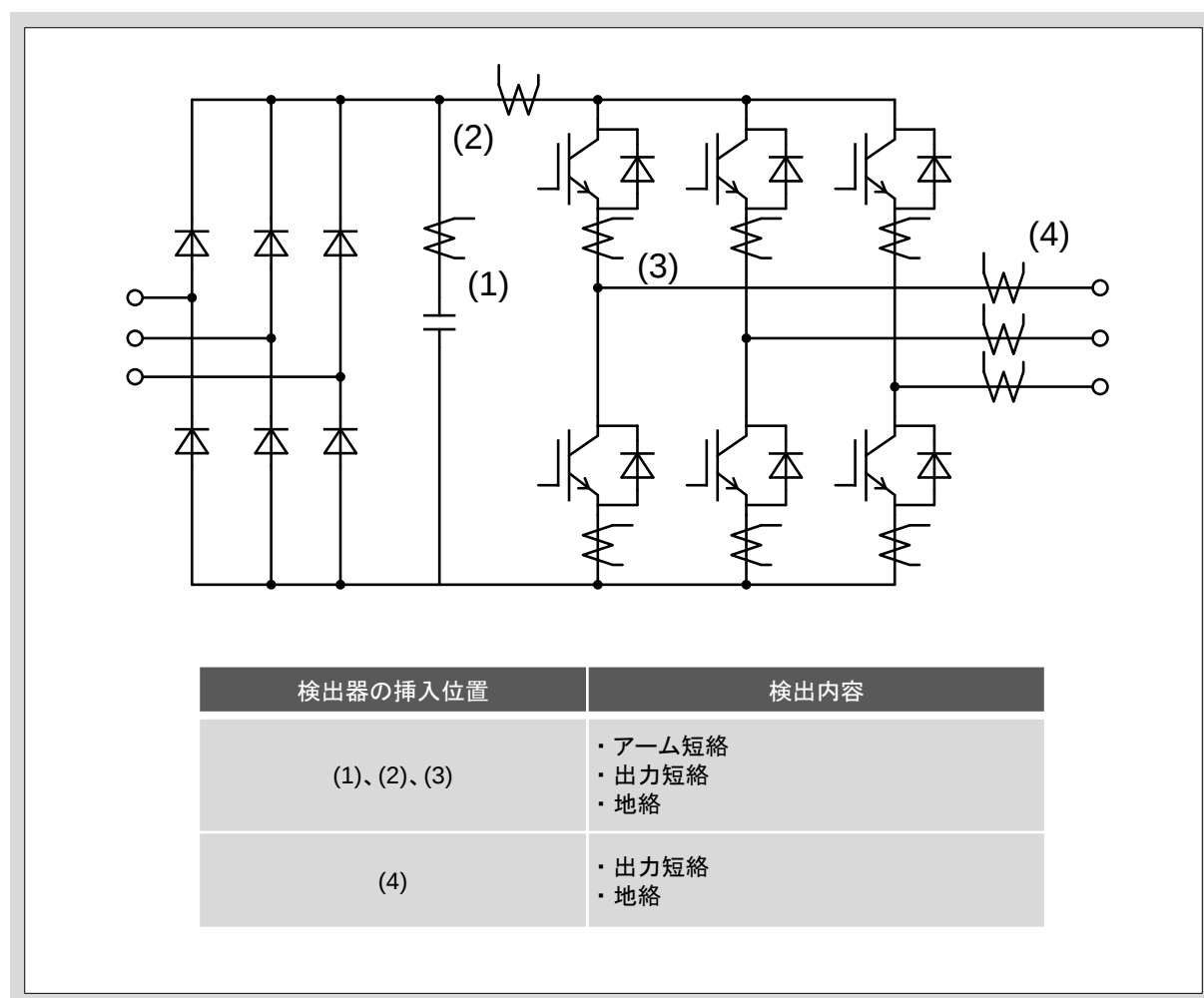


図5-3 過電流検出器の挿入方法

表5-2 過電流検出器の挿入位置と検出内容

検出器の挿入位置	特徴	検出内容
平滑コンデンサと直列に挿入 図5-3／(1)	・AC用CTが使用可能 ・検出精度が低い	・アーム短絡 ・直列アーム短絡 ・出力短絡 ・地絡
インバータの入力に挿入 図5-3／(2)	・DC用CTの使用が必要 ・検出精度が低い	・アーム短絡 ・直列アーム短絡 ・出力短絡 ・地絡
各素子と直列に挿入 図5-3／(3)	・DC用CTの使用が必要 ・検出精度が高い	・アーム短絡 ・直列アーム短絡 ・出力短絡 ・地絡
インバータの出力に挿入 図5-3／(4)	・高周波出力の装置ではAC用CTの使用可能 ・検出精度が高い	・出力短絡 ・地絡

(2) $V_{CE(sat)}$ による検出

この方法は、表5-1に示す全ての短絡事故に対する保護が可能であり、過電流検出から保護までの動作がゲート駆動回路側で行われるので、最も高速な保護動作が可能となります。図5-4に $V_{CE(sat)}$ 検出による短絡保護回路例を示します。

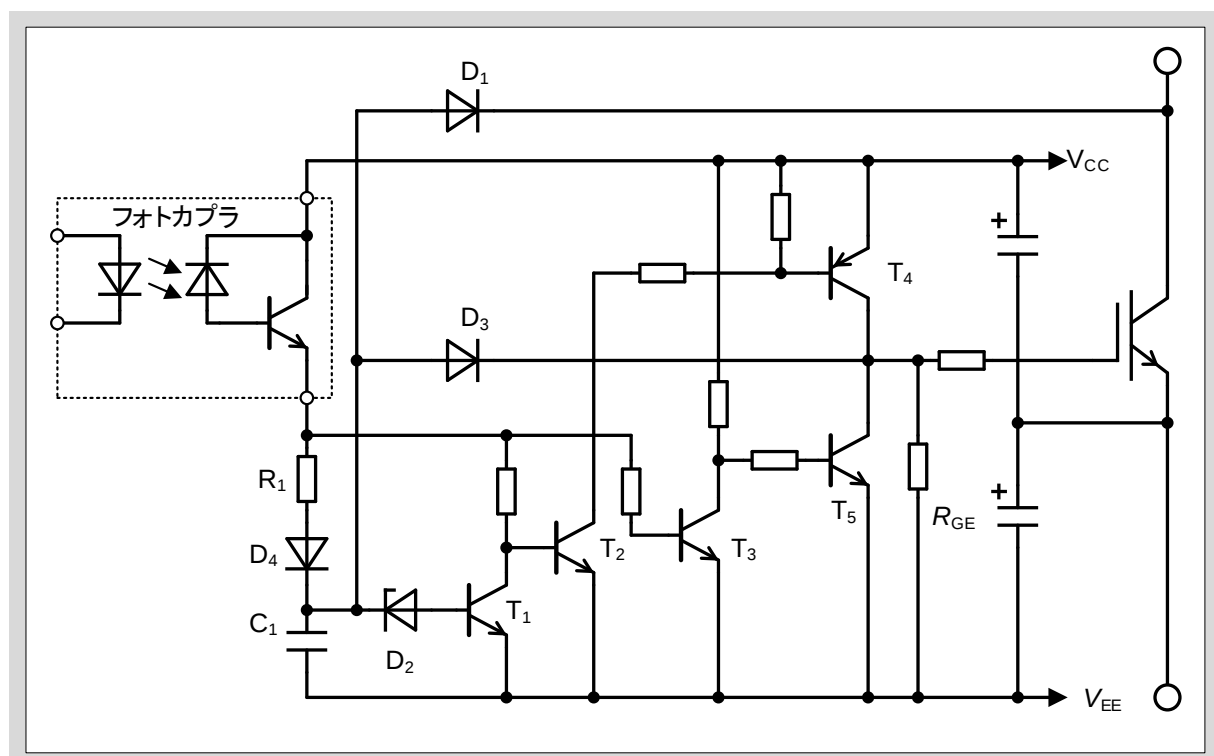


図5-4 $V_{CE(sat)}$ 検出による短絡保護回路例

この回路はIGBTのC-E間電圧をダイオード D_1 を介して監視する回路です。

ターンオン: フォトカプラがオンするとトランジスタ T_2 、 T_4 がオンしIGBTに+のゲート電圧を印加します。またフォトカプラのオンにより、抵抗 R_1 とダイオード D_4 を通してコンデンサ C_1 を充電します。このとき C_1 の電圧によって、動作が変わります。

【短絡保護動作】

IGBTオン後、短絡状態が発生するとIGBTの V_{CE} が上昇します。IGBTの V_{CE} が $[C_1$ の電圧 $-D_1$ の電圧($V_F - V_{EE}$)]より高くなると、 D_1 がオフとなり、 C_1 の電圧が再び上昇します。

C_1 の電圧が[ツェナーダイオード D_2 の V_Z +トランジスタ T_1 の V_{BE}]より高くなると短絡保護動作します。

短絡保護動作では、 D_2 を通して T_1 のベースに電流が流れ T_1 がオンします。 T_1 オンにより T_2 、 T_4 がオフし、印加していた+のゲート電圧が遮断されます。

フォトカプラはオンしているため、トランジスタ T_3 オン、トランジスタ T_5 オフ状態を保持しています。 T_4 、 T_5 が同時オフとなるためゲート蓄積電荷は R_{GE} を通してゆっくり放電します。この効果によりIGBTがターンオフする際の過大なサージ電圧の発生を抑制できます。図5-5に短絡保護動作波形例を示します。

【通常動作】

IGBTオン後、 C_1 の電圧が $[D_2$ の $V_Z + T_1$ の V_{BE}]以下の電圧を保持することで、IGBTのオン状態を保持します。

フォトカプラがオフすると T_2 、 T_4 オフ、 T_3 オフ、 T_5 オンとなり、IGBTに-のゲート電圧を印加します。 C_1 の電荷はダイオード D_3 、 T_5 を通して放電し0Vにリセットします。

上記動作シーケンスからわかるように、短絡保護は各パルス毎で動作します。

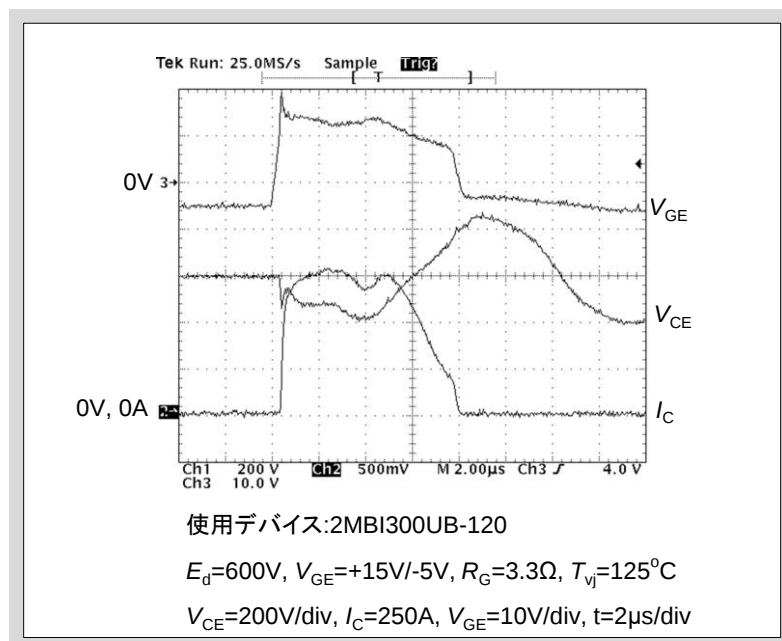


図5-5 短絡保護動作波形例

2. 過電圧保護

2.1 過電圧の発生要因と抑制方法

(1) 過電圧発生要因

IGBTはスイッチング速度が速いため、IGBTターンオフ時、またはFWD逆回復時に高い di/dt が発生し、IGBTモジュール周辺の配線インダクタンス L_S によるターンオフサージ電圧 $V_{CEP}=L_S \cdot (di/dt)$ が発生します。

ここではIGBTターンオフ時の電圧・電流波形を例にとりて発生要因と抑制方法を紹介します、具体的な回路例(IGBT、FWD共に適用可)を説明します。ターンオフサージ電圧を測定するための簡易的な回路として図5-6にチョッパ回路例を、図5-7にIGBTがターンオフする際の動作波形を示します。

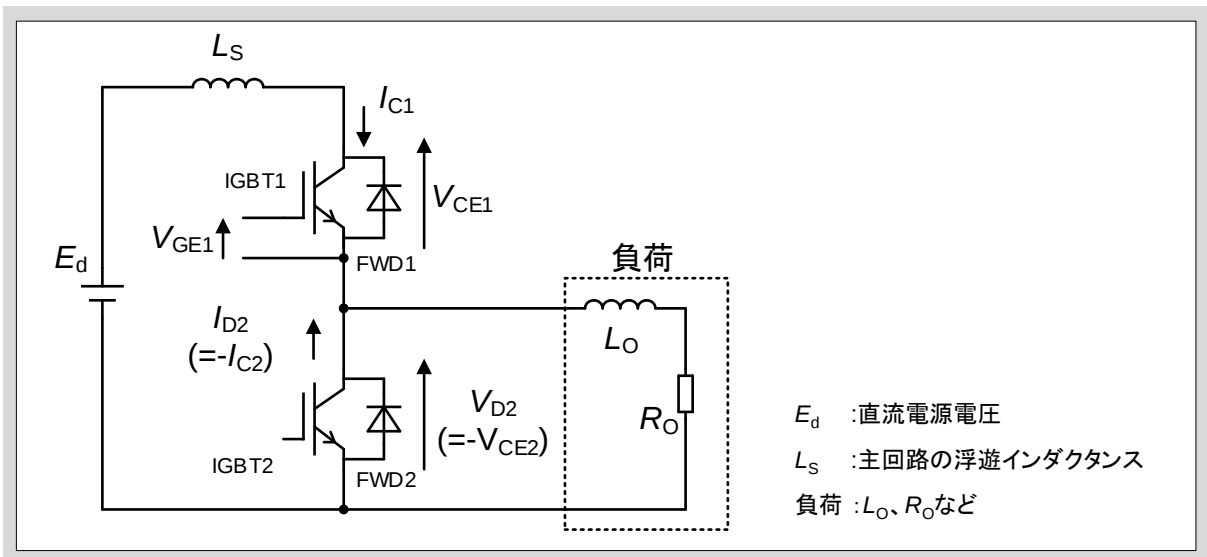


図5-6 チョッパ回路

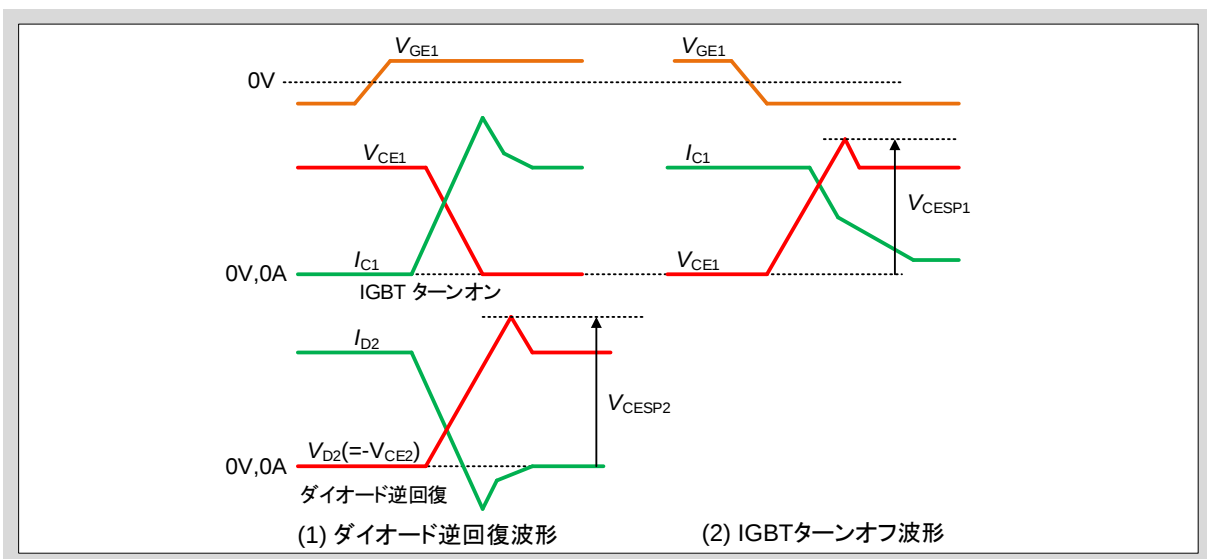


図5-7 動作波形

ターンオフサージ電圧はIGBTがターンオフする際の主回路電流の急激な変化によって、主回路の浮遊 L_S に高い電圧が誘起されることにより発生します。

ターンオフサージ電圧の尖頭値は次式で求められます。

$$V_{CESP} = E_d + (-L_S \cdot \frac{di_C}{dt}) \quad di_C/dt: \text{ターンオフ時のコレクタ電流変化率の最大値}$$

V_{CESP} がIGBTのC-E間耐圧 V_{CES} を越えると破壊に至ることがあります。

(2) 過電圧抑制方法

過電圧発生要因であるターンオフサージ電圧を抑制する方法として下記の方法があります。

- IGBTにスナバなどの保護回路を付けてサージ電圧を抑制する。スナバ回路のコンデンサにはフィルムコンデンサを用い、IGBTモジュールの近くに配置して高周波サージ電圧を抑制させる。
- IGBT駆動回路の $-V_{GE}$ や R_G を調整し di/dt を小さくする(詳細は第7章を参照して下さい)。
- 電解コンデンサをできるだけIGBTの近くに配置し、 L_S を低減する。低インピーダンスタイプのコンデンサを用いるとさらに効果的。
- 主回路及びスナバ回路の L_S を低減するために、配線をより太く・短くする。配線にバスバーを使用する。また、平行平板配線(ラミネート配線)にすると L_S 低減により効果的。
- ゲート駆動回路にアクティブクランプ回路を適用し、配置したツェナーダイオードの降伏電圧と概ね等しいサージ電圧に抑制する。

2.2 スナバ回路の種類と特徴

スナバ回路には全ての素子に1対1で付ける個別スナバ回路と直流母線間に一括で付ける一括スナバ回路があります。

(1) 個別スナバ回路

個別スナバ回路の代表的な例として、下記のスナバ回路があります。

- RCスナバ回路
- 充放電形RCDスナバ回路
- 放電阻止形RCDスナバ回路

表5-3に各個別スナバ回路の接続図と特徴及び主な用途を示します。

(2) 一括スナバ回路

一括スナバ回路の代表的な例として、下記のスナバ回路があります。

- Cスナバ回路
- RCDスナバ回路

最近ではスナバ回路簡素化の目的で一括スナバ回路が使用されることが多くなってきています。

表5-4に各一括スナバ回路の接続図と特徴及び主な用途を、表5-5に一括スナバ回路を用いる場合のスナバ容量の目安を、図5-8にそのターンオフ波形例を示します。

表5-3 個別スナバ回路の接続図

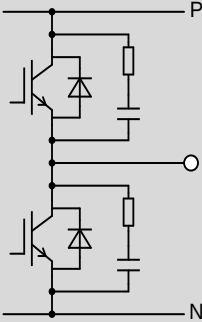
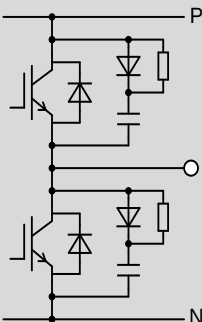
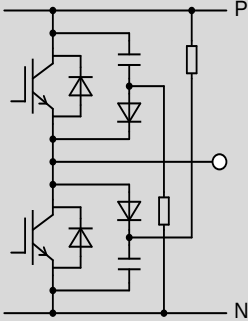
スナバ回路接続図	特 徴(注意事項)
RCスナバ回路 	- 一括スナバ回路に比べサージ電圧抑制効果大きい。 - 大容量のIGBTに適用する際には、スナバ抵抗を低い値にする必要があり、この結果ターンオン時のI_cが増大しIGBTの負担が大きくなる。
充放電形RCDスナバ回路 	- サージ電圧抑制効果あり。 - RCスナバ回路と異なり、スナバダイオードが追加されているのでスナバ抵抗値を大きくでき、ターンオン時のIGBTの負担を考えなくてよい。 - 充放電形RCDスナバ回路のスナバ抵抗における発生損失は下式で求められる。 $P = \frac{L_s \cdot I_o^2 \cdot f}{2} + \frac{C_s \cdot E_d^2 \cdot f}{2}$ L_s : 主回路の浮遊インダクタンス I_o : IGBTのターンオフ時コレクタ電流 C_s : スナバコンデンサ容量 E_d : 直流電源電圧 f : スイッチング周波数
放電阻止形RCDスナバ回路 	- サージ電圧抑制効果あり。 - スナバ回路での発生損失が少ない。 - 放電阻止形RCDスナバ回路のスナバ抵抗における発生損失は下式で求められる。 $P = \frac{L_s \cdot I_o^2 \cdot f}{2}$ L_s : 主回路の浮遊インダクタンス I_o : IGBTのターンオフ時コレクタ電流 f : スイッチング周波数

表5-4 一括スナバ回路の接続図

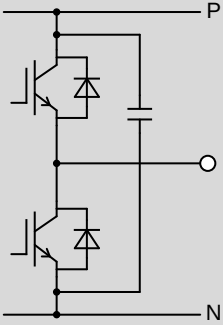
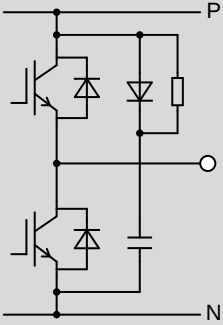
スナバ回路接続図	特 徴(注意事項)
Cスナバ回路 	- 最も簡易的な回路 - 主回路インダクタンスとスナバコンデンサとによるLC共振回路により電圧が振動しやすい。
RCDスナバ回路 	スナバダイオードの選定を誤ると高いサージ電圧が発生することや、スナバダイオードの逆回復時に電圧が振動することがあります。

表5-5 一括スナバ容量の目安

項目		ゲート駆動条件 ^{*1}		主回路浮遊インダクタンス (μH)	スナバ容量C _s (μF)
		-V _{GE} (V)	R _G (Ω)		
600V	50A	≤15	≥43	-	0.47
	75A		≥30		
	100A		≥13		
	150A		≥9	≤0.2	1.5
	200A		≥6.8	≤0.16	2.2
	300A		≥4.7	≤0.1	3.3
	400A		≥6	≤0.08	4.7
1200V	50A	≤15	≥22	-	0.47
	75A		≥4.7		
	100A		≥2.8		
	150A		≥2.4	≤0.2	1.5
	200A		≥1.4	≤0.16	2.2
	300A		≥0.93	≤0.1	3.3

*1: VシリーズIGBTモジュールの代表的なゲート駆動条件を示す。

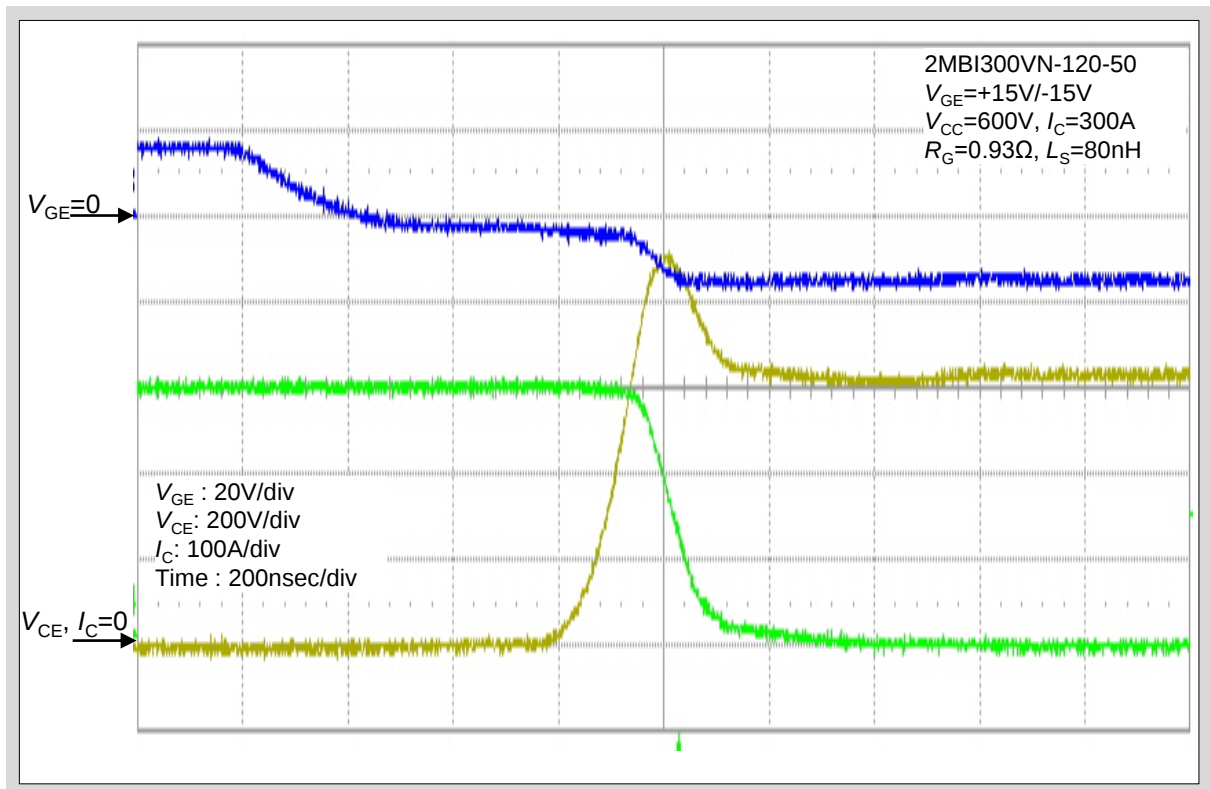


図5-8 2MBI300VN-120-50(1200V/300A) ターンオフ電流・電圧波形

2.3 放電阻止形RCDスナバ回路の設計方法

IGBTのスナバ回路として、最も合理的と思われる放電阻止形RCDスナバ回路の基本的な設計方法について説明します。

(1) 適用可否の検討

図5-9に放電阻止形RCDスナバ回路を適用した場合のターンオフ時の動作軌跡を示し、図5-10にターンオフ時の電流・電圧波形を示します。

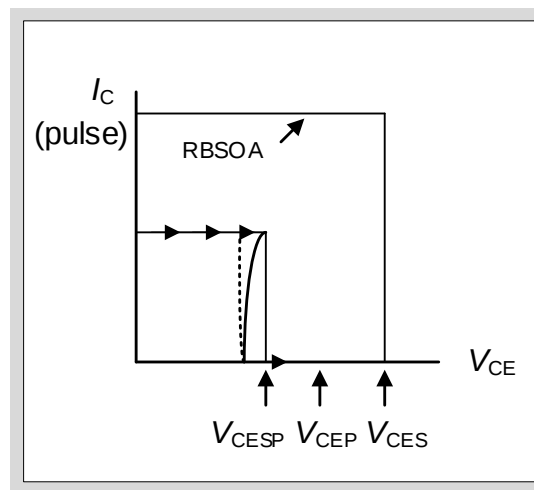


図5-9 ターンオフ時の動作軌跡

放電阻止形RCDスナバはIGBTの V_{CE} が直流電源電圧を越えてから動作し、その理想的な動作軌跡は点線で示されています。

しかし実際の装置ではスナバ回路の配線インダクタンスやスナバダイオード過渡順電圧降下の影響によるターンオフ時のサージ電圧が存在するため、実線のように膨らみます。

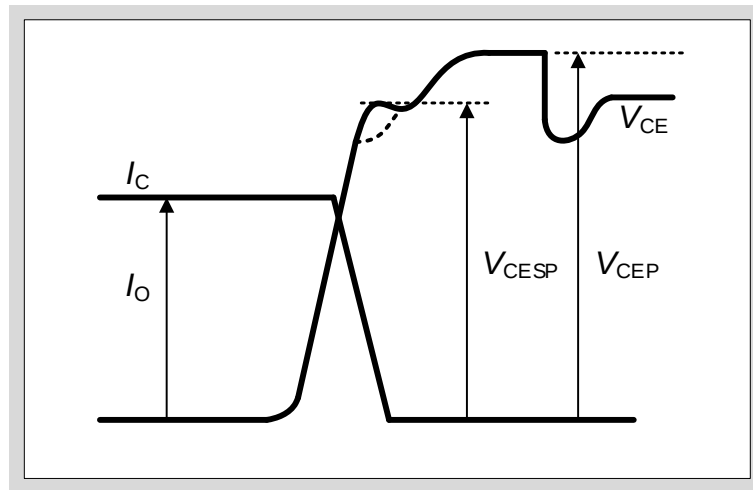


図5-10 ターンオフ時の電流・電圧波形

放電阻止形RCDスナバ回路を適用するためには、適用後のターンオフ動作軌跡がIGBTのRBSOA内に収まっているか検証する必要があります。

なお、ターンオフ時のサージ電圧は次式で求められます。

$$V_{CESP} = E_d + V_{FM} + (-L_S \cdot \frac{dI_c}{dt})$$

E_d : 直流電源電圧
 V_{FM} : スナバダイオード過渡順電圧降下※
 ※ スナバダイオードの一般的な過渡順電圧降下の参考値は下記の通りです。
 600Vクラス: 20～30V
 1200Vクラス: 40～60V
 L_S : スナバ回路の配線インダクタンス
 dI_c/dt : ターンオフ時のコレクタ電流変化率最大値

(2) スナバコンデンサ(C_S)容量値の求め方

スナバコンデンサに必要な容量値は次式で求められます。

$$C_S = \frac{L_S \cdot I_o^2}{(V_{CEP} - E_d)^2}$$

L_S : 主回路の配線インダクタンス
 I_o : IGBTのターンオフ時コレクタ電流
 V_{CEP} : スナバコンデンサ電圧の最終到達値
 E_d : 直流電源電圧

V_{CEP} はIGBTの V_{CES} 以下に抑える必要があります。また、スナバコンデンサには高周波特性の良いもの(フィルムコンデンサなど)を選んで下さい。

(3) スナバ抵抗(R_S)値の求め方

スナバ抵抗への要求機能は、IGBTが次のターンオフ動作を行なうまでにスナバコンデンサの蓄積電荷を放電する事です。IGBTが次のターンオフ動作を行なうまでに、蓄積電荷の90%を放電する条件でスナバ抵抗を求めると次式のようにになります。

$$R_S \leq \frac{1}{2.3 \cdot C_S \cdot f}$$

R_S : スナバ抵抗

C_S : スナバコンデンサ容量

f : スイッチング周波数

スナバ抵抗値をあまりにも低い値に設定すると、スナバ回路電流が振動しIGBTのターンオン時のコレクタ電流尖頭値も増えるので、式を満足する範囲内で極力高い値に設定して下さい。

スナバ抵抗の発生損失 $P(R_S)$ は抵抗値と関係なく次式で求められます。

$$P(R_S) = \frac{L_S \cdot I_O^2 \cdot f}{2}$$

$P(R_S)$: スナバ抵抗の発生損失

L_S : 主回路の配線インダクタンス

I_O : IGBTのターンオフ時コレクタ電流

f : スイッチング周波数

(4) スナバダイオードの選定

スナバダイオードの過渡順電圧降下は、ターンオフ時のサージ電圧発生要因の一つになります。またスナバダイオードの逆回復時間が長いと、高周波スイッチング動作時にスナバダイオードの発生損失が大きくなり、スナバダイオードの逆回復が急激であると、スナバダイオードの逆回復動作時にIGBTのC-E間電圧が急激に大きく振動します。スナバダイオードには、過渡順電圧が低く、逆回復時間が短く、逆回復動作がソフトなものを選んで下さい。

(5) スナバ回路配線上の注意事項

スナバ回路の L_S はサージ電圧発生要因となりますので、回路部品の配置も含めてインダクタンス低減の工夫を行なって下さい。

2.4 サージ電圧特性例

サージ電圧は運転条件、駆動条件、回路条件などにより様々な挙動を示します。一般にサージ電圧は V_{CE} が高く、 L_S が大きく、 I_C が大きいほど高くなる傾向にあります。

サージ電圧特性の一例として、図5-11にIGBTターンオフ、FWD逆回復時のサージ電圧の電流依存性を示します。この図からわかるように、IGBTターンオフサージ電圧は I_C が大きい程高くなりますが、FWD逆回復サージ電圧は低電流側が大きくなる傾向にあります。一般に逆回復サージ電圧は I_C が定格電流に対して数分の1から数十分の1の低電流領域で大きくなります。

このように、サージ電圧は運転条件、駆動条件、回路条件などにより様々な挙動を示します。そのためシステムとして使用が想定されるすべての動作条件で、電流と電圧が仕様書に記載のRBSOA内に収まることを確認する必要があります。

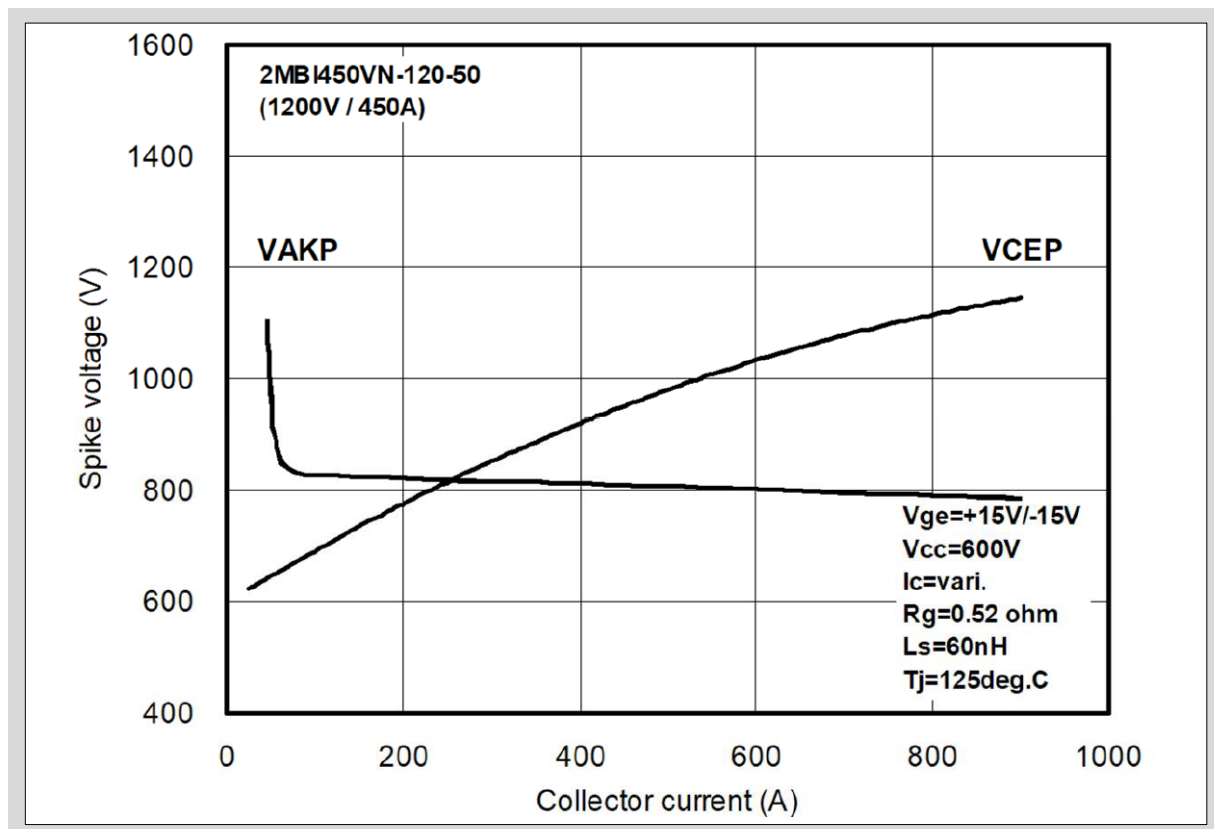


図5-11 IGBTターンオフ、FWD逆回復時のサージ電圧の電流依存性

2.5 サージ電圧抑制回路 クランプ回路構成例ー

一般的に、主回路インダクタンスの低減やスナバ回路を設けることによってC-E間のサージ電圧を抑制することが可能です。しかしながら装置の運転条件などによってはサージ電圧の抑制が困難な場合があります。このような場合に用いられるサージ電圧抑制回路の1つとしてアクティブクランプ回路があります。

図5-12にアクティブクランプ回路の一例を示します。基本的な回路構成は、C-G間にツェナーダイオードを付加するとともに、そのツェナーダイオードと逆通電方向にダイオードを直列に接続しています。

この回路でC-E間にツェナーダイオードの降伏電圧を超える電圧が発生した場合、ツェナーダイオードが降伏しコレクタからゲートに電流が流れます。この電流と R_G によりG-E間に+電圧が加わります。+電圧がIGBTのG-E間しきい値電圧 $V_{GE(th)}$ を越えるとIGBTに I_C が流れ、 V_{CE} はツェナーダイオードの降伏電圧と概ね等しくなるようにクランプします。アクティブクランプ回路を設けることでサージ電圧抑制が可能となります。

一方、ツェナーダイオードの降伏電流はIGBTをオンさせるように流れるため、ターンオフ時の電流変化率 di/dt はクランプ回路付加前より緩やかになり、ターンオフ時間が長くなり(図5-13参照)、ターンオフ損失が増えますので、各種設計検証を行なった上でクランプ回路を適用して下さい。

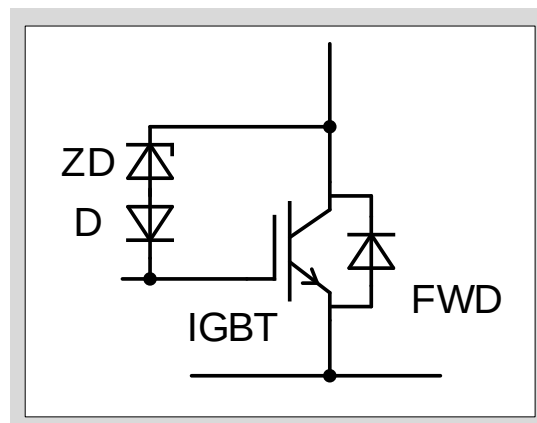


図5-12 アクティブクランプ回路例

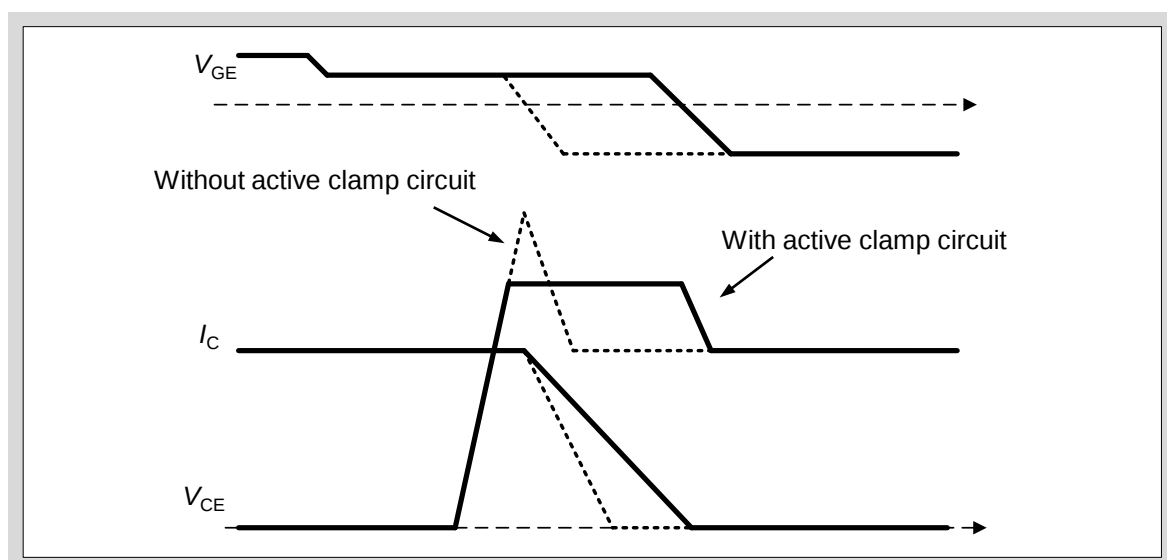


図5-13 アクティブクランプ回路適用時の波形例